

A circular stamp from the Office of Intellectual Property (OIPE). The text "OIPE" is at the top, "JCI395" is at the top right, "APR 26 2002" is in the center, and "PATENT & TRADEMARK OFFICE" is at the bottom.

2624
#5
BT
5-02-02

RECEIVED
APR 30 2002
Technology Center 2600

Examiner: N.Y.A.

Group Art Unit: 2622

April 25, 2002

SUBMISSION OF PRIORITY DOCUMENT

In support of Applicant's claim for priority under 35 U.S.C. § 119, enclosed

2000-264253, filed August 31, 2000

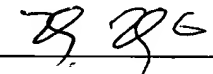
Applicant's undersigned attorney may be reached in our New York office by

telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,



Attorney for Applicant

Registration No. 

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

NY_MAIN 252763 v 1



09/940.490

(translation of the front page of the priority document of
Japanese Patent Application No. 2000-264253)

PATENT OFFICE
JAPANESE GOVERNMENT

RECEIVED
APR 30 2002
Technology Center 2600

This is to certify that the annexed is a true copy of the
following application as filed with this Office.

Date of Application: August 31, 2000

Application Number : Patent Application 2000-264253

Applicant(s) : Canon Kabushiki Kaisha

September 11, 2001

Commissioner,
Patent Office

Kouzo OIKAWA

Certification Number 2001-3083547

Best Available Copy

CFM 2340 US



本 国 特 許 庁
JAPAN PATENT OFFICE

RECEIVED
APR 30 2002
Technology Center 2600

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月31日

出 願 番 号

Application Number:

特願2000-264253

出 願 人

Applicant(s):

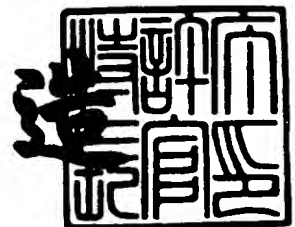
キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月11日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 4150121

【提出日】 平成12年 8月31日

【あて先】 特許庁長官殿

【国際特許分類】 B41J 2/01
G06F 3/00

【発明の名称】 記録ヘッド及び該記録ヘッドを用いた記録装置

【請求項の数】 12

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 古川 達生

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

【代理人】

 【識別番号】 100076428

 【弁理士】

 【氏名又は名称】 大塚 康德

 【電話番号】 03-5276-3241

【選任した代理人】

 【識別番号】 100101306

 【弁理士】

 【氏名又は名称】 丸山 幸雄

 【電話番号】 03-5276-3241

【選任した代理人】

 【識別番号】 100115071

 【弁理士】

 【氏名又は名称】 大塚 康弘

【電話番号】 03-5276-3241

【手数料の表示】

【予納台帳番号】 003458

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記録ヘッド及び該記録ヘッドを用いた記録装置

【特許請求の範囲】

【請求項 1】 記録素子および入力された記録データに応じて前記記録素子を駆動する駆動手段を含むデジタル回路と、

素子基板の状態に関する情報を検知する検知手段を含むアナログ回路と、

が半導体プロセスによって形成された素子基板を備え、

前記デジタル回路の電源電圧の値と前記アナログ回路の電源電圧の値とが異なっており、

前記アナログ回路の電源電圧を生成する電圧発生回路が前記素子基板上に設けられていることを特徴とする記録ヘッド。

【請求項 2】 一端が前記アナログ回路の電源電圧に接続され、他端が接地されているコンデンサを前記素子基板の外部に有することを特徴とする請求項 1 に記載の記録ヘッド。

【請求項 3】 前記電圧発生回路は、前記記録素子を駆動する電圧から前記アナログ回路の電源電圧を生成することを特徴とする請求項 1 又は 2 に記載の記録ヘッド。

【請求項 4】 前記電圧発生回路は、分割抵抗とトランジスタとを含むことを特徴とする請求項 1 から 3 のいずれかに記載の記録ヘッド。

【請求項 5】 前記電圧発生回路は、非反転増幅器を含むことを特徴とする請求項 1 から 3 のいずれかに記載の記録ヘッド。

【請求項 6】 前記デジタル回路は、前記記録データを一時的に格納するシフトレジスタおよび該シフトレジスタに格納されたデータを保持させるラッチを含むことを特徴とする請求項 1 から 5 のいずれかに記載の記録ヘッド。

【請求項 7】 前記アナログ回路は、前記素子基板の外部の温度を検知する手段またはヒータ抵抗値をモニターするための手段を含むことを特徴とする請求項 1 から 6 のいずれかに記載の記録ヘッド。

【請求項 8】 インクを吐出して記録を行うインクジェット記録ヘッドであることを特徴とする請求項 1 から 7 のいずれかに記載の記録ヘッド。

【請求項 9】 前記記録素子は、熱エネルギーを利用してインクを吐出するべく、インクに与える熱エネルギーを発生するための熱エネルギー変換体を備えていることを特徴とする請求項 8 に記載の記録ヘッド。

【請求項 10】 前記検知手段は、前記素子基板の温度を検出することを特徴とする請求項 9 に記載の記録ヘッド。

【請求項 11】 前記デジタル回路は、前記電気熱変換体の抵抗値、前記駆動手段が動作する際の抵抗値、および前記素子基板を構成する各層の厚さに関する情報の少なくとも 1 つを格納するメモリを含むことを特徴とする請求項 9 又は 10 に記載の記録ヘッド。

【請求項 12】 請求項 1 から 11 のいずれかに記載の記録ヘッドを用いて記録を行うことを特徴とする記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は記録ヘッド及び該記録ヘッドを用いた記録装置に関し、特に、記録素子および入力された記録データに応じて記録素子を駆動する駆動手段を含むデジタル回路と、記録に関する情報（基板の状態に関する情報）を検知する検知手段を含むアナログ回路とが半導体プロセスによって形成された素子基板を備えた記録ヘッド及びそのような記録ヘッドを用いた記録装置に関するものである。

【0002】

なお、本発明は、一般的なプリント装置のほか、複写機、通信システムを有するファクシミリ、プリント部を有するワードプロセッサ等の装置、さらには各種処理装置と複合的に組み合わされた産業用記録装置に適用することができる。

【0003】

【従来の技術】

従来の熱エネルギーを利用したインクジェット方式に従う記録装置において、搭載される記録ヘッドの電気熱変換体（ヒータ）とその駆動回路は、例えば特開平 5 - 1 8 5 5 9 4 号公報に示されているように、半導体プロセス技術を用いて、同一基板上に形成されている。また、この基板の状態、例えば基板温度や抵抗

値の分布状態、駆動回路の特性変動などを検知するための素子を同一基板上に形成することも提案されている。

【 0 0 0 4 】

基板温度を検知する回路ブロックを同一基板上に形成する例として、特願平 1 1 - 2 1 9 1 5 6 号明細書には、温度の情報をデジタル信号として出力する回路を素子基体上に設けた記録ヘッドが提案されている。以下、この記録ヘッドについて図を参照して説明する。

【 0 0 0 5 】

図 1 5 は、検知した温度の情報をデジタル信号として出力する回路を含んだインクジェット記録ヘッドのブロック図である。図中、5 0 0 はヒータ及び駆動回路を半導体プロセス技術により一体的に形成した記録素子基板、5 0 2 は基板裏面よりインクを供給するためのインク供給口、5 0 1 はヒータ及びドライバ回路を複数個配列したドライバ／ヒータアレイ、5 0 3 は記録すべき記録データを一時的に保持するためのシフトレジスタ、5 0 7 はドライバ／ヒータアレイ中の所望のヒータブロックを選択して駆動するためのデコーダ回路、5 0 4 はシフトレジスタ及びデコーダにデジタル信号を入力するためのバッファを含む入力回路、5 1 0 は入力端子、5 2 1 は基板の温度を検知し、その情報をデジタル信号に変換して出力する温度検知ブロック、5 2 2 は基板固有の情報、例えばヒータ抵抗値やドライバトランジスタの ON 抵抗値などをランク分けし、その情報を同じ基板上に配置された不図示の不揮発性メモリ（ROM）に書き込み、必要に応じて読み出しを行なうための ROM 情報読出しブロック、5 2 3 は ROM に書き込む固有情報、ヒータ抵抗値やトランジスタの ON 抵抗値を測定するためのランク分け素子、5 0 5 はドライバアレイ 5 0 1 のトランジスタにゲート電圧を供給する電源バッファ回路である。

【 0 0 0 6 】

図 1 6 は、ドライバ／ヒータアレイ 5 0 5 の 1 セグメント分の等価回路（a）及びシフトレジスタ 5 0 3 の 1 b i t 分に相当する等価回路（b）を示す図である。また、図 1 7 は、シフトレジスタからヒータまでの各部での信号の状態を示すタイミングチャートである。以下、図 1 6 および図 1 7 を参照して、シフトレ

ジスタに記録情報を送ってから、ヒータに電流を流して駆動するまでの一連の動作を説明する。

【 0 0 0 7 】

C L K端子に印加されたクロックパルスに同期して記録データがD A T A端子に供給される。シフトレジスタはこの記録データを一時的に格納し、B G端子に印加されるラッチ信号により、ラッチ回路がデータを保持する。その後、所望のブロックに分割されたヒータ群を選択するためのB l o c k選択信号とラッチ回路で保持された記録データがマトリクス状にA N Dをとられ、電流駆動時間を直接決定するH E信号に同期してヒータ電流が流れる。この一連の動作を0～15の各ブロック毎に繰り返して記録が行なわれる。

【 0 0 0 8 】

図18は、記録素子基板500の温度を検知し、その情報をデジタル化して出力する温度検知ブロック521の構成を示すブロック図であり、図19は、クロックC L Kと温度検知ブロック521の出力T Oでの信号の状態を示すタイミングチャートである。以下、図18および19を参照して、温度検知ブロック521の動作について説明する。

【 0 0 0 9 】

図18に示すように、温度検知ブロック521は、温度に対してほぼリニアの特性をもつ電圧を発生する熱電圧発生部840と、温度に対してほぼ不変の電圧を発生するバンドギャップ電圧発生部830とを有している。この両者からの出力をそれぞれバッファ回路831を経由した後、コンパレータ832により比較して、温度情報をT O端子835から出力する。また、834はバンドギャップ電圧に基づき各検出温度に対応した電圧を発生するための分割抵抗とアナログスイッチで構成される電圧発生ブロックである。

【 0 0 1 0 】

このとき、バンドギャップ電圧発生部830からの出力を、電圧発生ブロック834内の複数の抵抗を使用して分割比により検出したい温度に対応した電圧値に設定し、各抵抗の分割点に接続されたアナログスイッチをクロックパルスに同期して動作するシフトレジスタ836の出力により順次切り換えることにより、

所望の分解能での温度に関するデジタル信号がT O端子 8 3 5 からシリアルに出力される。

【 0 0 1 1 】

ここで、上記回路ブロック中のバンドギャップ電圧発生部 8 3 0、熱電圧発生部 8 4 0、バッファ 8 3 1 に使用する O P アンプ及びコンパレータ 8 3 2 はすべてアナログ回路であり、トランジスタ、ダイオード、抵抗等の素子の組み合わせで構成されているため、その精度や電圧依存性等によりその特性が決定される。

【 0 0 1 2 】

このため、アナログ回路部分は、素子特性を正確に把握すると共に使用条件（電源電圧やノイズ環境など）を考慮して仕様を決定し、それに基づく回路シミュレーションによる特性の予測を行って設計する必要がある。

【 0 0 1 3 】

多くのアナログ回路に使用される部品はその特性を十分に発揮するためには 5 V の電源電圧で使用するよう設計されているものが一般的である。これに対してインバータ、シフトレジスタ等はデジタル回路であり、基本的には H i / L o のパルスにより動作が行われる。また記録ヘッド本来の記録情報のインターフェースやヒータ駆動のための印加パルスも同じくデジタル信号であり、外部との信号のやり取りはすべて H i / L o のロジックパルスにより行われる。

【 0 0 1 4 】

従来は、これら及び外部の信号発生回路において使用されるロジックパルスの振幅は 0 V / 5 V であるものが一般的であり、この結果、アナログ回路とデジタル回路の両者の電源電圧を単一の 5 V 電源とすることが可能であった。

【 0 0 1 5 】

【発明が解決しようとする課題】

近年、半導体プロセスにより製造される M P U （マイクロプロセッサ）やゲートアレイなどは微細化が一層進んでおり、それに伴い使用する電源電圧も低下する傾向にある。記録ヘッドの外部の信号発生装置において使用されるデジタル回路においても、近年では電源電圧を 3 . 3 V とするものが一般的になりつつある。

【 0 0 1 6 】

この結果、記録ヘッド用の半導体基板に対しても、電源電圧を3.3V等の低電圧に設定する要求が高まっている。デジタル回路部分については回路を構成するトランジスタの微細化などで低電圧駆動とすることが可能であるが、アナログ回路部分についてはそのままの回路構成では駆動電圧を低下させることは困難である。アナログ回路の駆動電圧を低下させるためには回路の再設計が必要となるばかりでなく、特性が低下しないように特別な部品を使用する必要も生じる。

【 0 0 1 7 】

このため、通常はデジタル回路の電源電圧を3.3V、アナログ回路の電源電圧を5Vにする等、それぞれ異なった電源電圧を用いることになり、記録ヘッドの半導体基板には、外部から2種類の電源を供給するように設計される。これはコストアップの要因となるばかりでなく、システムの構成が複雑化し省スペースや省エネ（消費電力）の観点からもマイナス要因となってしまう。

【 0 0 1 8 】

本発明は以上のような状況に鑑みてなされたものであり、デジタル回路の電源電圧とアナログ回路の電源電圧とが異なる場合に、外部からデジタル回路の電源電圧のみを供給して全体の構成を簡単にすることの可能な記録ヘッド及び該記録ヘッドを用いた記録装置を提供することを目的とする。

【 0 0 1 9 】

【課題を解決するための手段】

上記目的を達成するために本発明の記録ヘッドは、記録素子および入力された記録データに応じて前記記録素子を駆動する駆動手段を含むデジタル回路と、素子基板の状態に関する情報を検知する検知手段を含むアナログ回路と、が半導体プロセスによって形成された素子基板を備え、前記デジタル回路の電源電圧の値と前記アナログ回路の電源電圧の値とが異なり、前記アナログ回路の電源電圧を生成する電圧発生回路が前記素子基板上に設けられている。

【 0 0 2 0 】

また、本発明の目的は上記記録ヘッドを備えた記録装置によっても達成される。

【 0 0 2 1 】

すなわち、本発明では、記録素子および入力された記録データに応じて記録素子を駆動する駆動手段を含むデジタル回路と、素子基板の状態に関する情報を検知する検知手段を含むアナログ回路と、が半導体プロセスによって形成された素子基板を備えた記録ヘッドにおいて、デジタル回路の電源電圧の値とアナログ回路の電源電圧の値とが異なっている場合に、アナログ回路の電源電圧を生成する電圧発生回路を素子基板上に設ける。

【 0 0 2 2 】

このようにすると、外部からデジタル回路の電源電圧とアナログ回路の電源電圧との両方を供給する場合と比べて、外部からデジタル回路の電源電圧のみを供給すればよいので、システム全体の価格を上昇させずに構成を単純化し、かつ省スペースや省エネ（消費電力）の観点からも有利な構成とできる。

【 0 0 2 3 】

【発明の実施の形態】

以下、図面を参照して本発明の記録装置に係る実施形態を説明する。

【 0 0 2 4 】

なお、以下に説明する実施形態では、インクジェット記録方式を用いた記録装置としてプリンタを例に挙げ説明する。

【 0 0 2 5 】

なお、本明細書において、「プリント」（「記録」という場合もある）とは、文字、図形等有意の情報を形成する場合のみならず、有意無意を問わず、また人間が視覚で知覚し得るように顕在化したものであるか否かを問わず、広くプリント媒体上に画像、模様、パターン等を形成する、または媒体の加工を行う場合も言うものとする。

【 0 0 2 6 】

ここで、「プリント媒体」とは、一般的なプリント装置で用いられる紙のみならず、広く、布、プラスチック・フィルム、金属板、ガラス、セラミックス、木

材、皮革等、インクを受容可能なものも言うものとする。

【 0 0 2 7 】

さらに、「インク」（「液体」と言う場合もある）とは、上記「プリント」の定義と同様広く解釈されるべきもので、プリント媒体上に付与されることによって、画像、模様、パターン等の形成またはプリント媒体の加工、或いはインクの処理（例えばプリント媒体に付与されるインク中の色剤の凝固または不溶化）に供され得る液体を言うものとする。

【 0 0 2 8 】

〔装置本体〕

図 1 及び図 2 にインクジェット記録方式を用いたプリンタの概略構成を示す。図 1 において、この実施形態におけるプリンタの外殻をなす装置本体 M 1 0 0 0 は、下ケース M 1 0 0 1、上ケース M 1 0 0 2、アクセスカバー M 1 0 0 3 及び排出トレイ M 1 0 0 4 の外装部材と、その外装部材内に収納されたシャーシ M 3 0 1 9（図 2 参照）とから構成される。

【 0 0 2 9 】

前記シャーシ M 3 0 1 9 は、所定の剛性を有する複数の板状金属部材によって構成され、記録装置の骨格をなし、後述の各記録動作機構を保持するものとなっている。

また、前記下ケース M 1 0 0 1 は装置本体 M 1 0 0 0 の略下半部を、上ケース M 1 0 0 2 は装置上本体 M 1 0 0 0 の略上半部をそれぞれ形成しており、両ケースの組合せによって内部に後述の各機構を収納する収納空間を有する中空体構造をなし、その上面部及び前面部にはそれぞれ開口部が形成されている。

【 0 0 3 0 】

さらに、前記排出トレイ M 1 0 0 4 はその一端部が下ケース M 1 0 0 1 に回転自在に保持され、その回転によって下ケース M 1 0 0 1 の前面部に形成される前記開口部を開閉させ得るようになっている。このため、記録動作を実行させる際には、排出トレイ M 1 0 0 4 を前面側へと回転させて開口部を開成させることにより、ここから記録シートが排出可能となると共に排出された記録シート P を順次積載し得るようになっている。また、排紙トレイ M 1 0 0 4 には、2 枚の補助

トレイM1004a, M1004bが収納されており、必要に応じて各トレイを手前に引き出すことにより、用紙の支持面積を3段階に拡大、縮小させ得るようになっている。

【0031】

アクセスカバーM1003は、その一端部が上ケースM1002に回転自在に保持され、上面に形成される開口部を開閉し得るようになっており、このアクセスカバーM1003を開くことによって本体内部に収納されている記録ヘッドカートリッジH1000あるいはインクタンクH1900等の交換が可能となる。なお、ここでは特に図示しないが、アクセスカバーM1003を開閉させると、その裏面に形成された突起がカバー開閉レバーを回転させるようになっており、そのレバーの回転位置をマイクロスイッチなどで検出することにより、アクセスカバーの開閉状態を検出し得るようになっている。

【0032】

また、上ケースM1002の後部上面には、電源キーE0018及びレジュームキーE0019が押下可能に設けられると共に、LED E0020が設けられており、電源キーE0018を押下すると、LED E0020が点灯し記録可能であることをオペレータに知らせるものとなっている。また、LED E0020は点滅の仕方や色の変化をさせたり、ブザーE0021（図7）をならすことによりプリンタのトラブル等をオペレータに知らせる等種々の表示機能を有する。なお、トラブル等が解決した場合には、レジュームキーE0019を押下することによって記録が再開されるようになっている。

【0033】

〔記録動作機構〕

次に、上記プリンタの装置本体M1000に収納、保持される本実施形態における記録動作機構について説明する。

【0034】

本実施形態における記録動作機構としては、記録シートPを装置本体内へと自動的に給送する自動給送部M3022と、自動給送部から1枚ずつ送出される記録シートPを所望の記録位置へと導くと共に、記録位置から排出部M3030へ

と記録シートPを導く搬送部M3029と、搬送部M3029に搬送された記録シートPに所望の記録を行なう記録部と、前記記録部等に対する回復処理を行う回復部(M5000)とから構成されている。

【0035】

(記録部)

ここで、前記記録部を説明する。

【0036】

前記キャリッジ軸M4021によって移動可能に支持されたキャリッジM4001と、このキャリッジM4001に着脱可能に搭載される記録ヘッドカートリッジH1000とからなる。

【0037】

記録ヘッドカートリッジ

まず、前記記録ヘッドカートリッジについて図3～5に基づき説明する。

【0038】

この実施形態における記録ヘッドカートリッジH1000は、図3に示すようにインクを貯留するインクタンクH1900と、このインクタンクH1900から供給されるインクを記録情報に応じてノズルから吐出させる記録ヘッドH1001とを有し、前記記録ヘッドH1001は、後述するキャリッジM4001に対して着脱可能に搭載される、いわゆるカートリッジ方式を採るものとなっている。

【0039】

ここに示す記録ヘッドカートリッジH1000では、写真調の高画質なカラー記録を可能とするため、インクタンクとして、例えば、ブラック、ライトシアン、ライトマゼンタ、シアン、マゼンタ及びイエローの各色独立のインクタンクが用意されており、図4に示すように、それぞれが記録ヘッドH1001に対して着脱自在となっている。

【0040】

そして、前記記録ヘッドH1001は、図5の分解斜視図に示すように、記録素子基板H1100、第1のプレートH1200、電気配線基板H1300、第

2のプレートH1400、タンクホルダーH1500、流路形成部材H1600、フィルターH1700、シールゴムH1800から構成されている。

【0041】

記録素子基板H1100には、Si基板の片面にインクを吐出するための複数の記録素子と、各記録素子に電力を供給するA1等の電気配線とが成膜技術により形成され、この記録素子に対応した複数のインク流路と複数の吐出口H1100Tとがフォトリソグラフィ技術により形成されると共に、複数のインク流路にインクを供給するためのインク供給口が裏面に開口するように形成されている。また、前記記録素子基板H1100は第1のプレートH1200に接着固定されており、ここには、前記記録素子基板H1100にインクを供給するためのインク供給口H1201が形成されている。さらに、第1のプレートH1200には、開口部を有する第2のプレートH1400が接着固定されており、この第2のプレートH1400は、電気配線基板H1300と記録素子基板H1100とが電氣的に接続されるよう電気配線基板H1300を保持している。

【0042】

この電気配線基板H1300は、前記記録素子基板H1100にインクを吐出するための電気信号を印加するものであり、記録素子基板H1100に対応する電気配線と、この電気配線端部に位置し本体からの電気信号を受け取るための外部信号入力端子H1301とを有しており、前記外部信号入力端子H1301は、後述のタンクホルダーH1500の背面側に位置決め固定されている。

【0043】

一方、前記インクタンクH1900を着脱可能に保持するタンクホルダーH1500には、流路形成部材H1600が超音波溶着され、インクタンクH1900から第1のプレートH1200に亘るインク流路H1501を形成している。また、インクタンクH1900と係合するインク流路H1501のインクタンク側端部には、フィルターH1700が設けられており、外部からの塵埃の侵入を防止し得るようになっている。また、インクタンクH1900との係合部にはシールゴムH1800が装着され、前記係合部からのインクの蒸発を防止し得るようになっている。

【 0 0 4 4 】

さらに、前述のようにタンクホルダーH1500、流路形成部材H1600、フィルターH1700及びシールゴムH1800から構成されるタンクホルダー部と、前記記録素子基板H1100、第1のプレートH1200、電気配線基板H1300及び第2のプレートH1400から構成される記録素子部とを、接着等で結合することにより、記録ヘッドH1001を構成している。

【 0 0 4 5 】

(キャリッジ)

次に、図2に基づき前記キャリッジM4001を説明する。

【 0 0 4 6 】

図示のように、キャリッジM4001には、キャリッジM4001と係合し記録ヘッドH1001をキャリッジM4001の装着位置に案内するためのキャリッジカバーM4002と、記録ヘッドH1001のタンクホルダーH1500と係合し記録ヘッドH1000を所定の装着位置にセットさせるよう押圧するヘッドセットレバーM4007とが設けられている。

すなわち、ヘッドセットレバーM4007はキャリッジM4001の上部にヘッドセットレバー軸に対して回動可能に設けられると共に、記録ヘッドH1000との係合部には不図示のヘッドセットプレートがばねを介して備えられ、このばね力によって記録ヘッドH1001を押圧しながらキャリッジM4001に装着する構成となっている。

【 0 0 4 7 】

またキャリッジM4001の記録ヘッドH1001との別の係合部にはコンタクトフレキシブルプリントケーブル（以下、コンタクトFPCと称す）E0011が設けられ、コンタクトFPC E0011上のコンタクト部E0011aと記録ヘッドH1001に設けられたコンタクト部（外部信号入力端子）H1301とが電氣的に接触し、記録のための各種情報の授受や記録ヘッドH1001への電力の供給などを行い得るようになっている。

【 0 0 4 8 】

ここでコンタクトFPC E0011のコンタクト部E0011aとキャリッ

ジM4001との間には不図示のゴムなどの弾性部材が設けられ、この弾性部材の弾性力とヘッドセットレバーばねによる押圧力とによってコンタクト部E0011aとキャリッジM4001との確実な接触を可能とされている。さらに前記コンタクトFPC E0011はキャリッジM4001の背面に搭載されたキャリッジ基板E0013に接続されている（図7参照）。

【0049】

〔スキャナ〕

この実施形態におけるプリンタは、記録ヘッドをスキャナと交換することで読取装置としても使用することができる。

【0050】

このスキャナは、プリンタ側のキャリッジと共に移動し、記録媒体に代えて給送された原稿画像を副走査方向において読み取るようになっており、その読み取り動作と原稿の給送動作とを交互に行うことにより、1枚の原稿画像情報を読み取るようになっている。

【0051】

図6はこのスキャナM6000の概略構成を示す図である。

【0052】

図示のように、スキャナホルダM6001は箱型形状となしており、その内部には読み取りに必要な光学系・処理回路などが収納されている。また、このスキャナM6000をキャリッジM4001へと装着した時、原稿面と対面する部分にはスキャナ読取レンズM6006が設けられており、ここから原稿画像を読み取るようになっている。スキャナ照明レンズM6005は内部に不図示の光源を有し、その光源から発せられた光が原稿へと照射される。

【0053】

前記スキャナホルダM6001の底部に固定されたスキャナカバーM6003は、スキャナホルダM6001内部を遮光するように嵌合し、側面に設けられたルーバー状の把持部によってキャリッジM4001への着脱操作性の向上を図っている。スキャナホルダM6001の外形形状は記録ヘッドカートリッジH1000と略同形状であり、キャリッジM4001へは記録ヘッドカートリッジH1

0 0 0 と同様の操作で着脱することができる。

【 0 0 5 4 】

また、スキャナホルダ M 6 0 0 1 には、前記処理回路を有する基板が収納される一方、この基板に接続されたスキャナコンタクト PCB が外部に露出するように設けられており、キャリッジ M 4 0 0 1 へとスキャナ M 6 0 0 0 を装着した際、前記スキャナコンタクト PCB M 6 0 0 4 がキャリッジ M 4 0 0 1 側のコンタクト FPC E 0 0 1 1 に接触し、前記基板を、前記キャリッジ M 4 0 0 1 を介して本体側の制御系に電氣的に接続させるようになっている。

【 0 0 5 5 】

次に、本発明の実施形態における電氣的回路構成を説明する。

図 7 は、この実施形態における電氣的回路の全体構成を概略的に示す図である。

【 0 0 5 6 】

この実施形態における電氣的回路は、主にキャリッジ基板 (CRPCB) E 0 0 1 3、メイン PCB (Printed Circuit Board) E 0 0 1 4、電源ユニット E 0 0 1 5 等によって構成されている。

ここで、前記電源ユニットは、メイン PCB E 0 0 1 4 と接続され、各種駆動電源を供給するものとなっている。

また、キャリッジ基板 E 0 0 1 3 は、キャリッジ M 4 0 0 1 (図 2) に搭載されたプリント基板ユニットであり、コンタクト FPC E 0 0 1 1 を通じて記録ヘッドとの信号の授受を行うインターフェースとして機能する他、キャリッジ M 4 0 0 1 の移動に伴ってエンコーダセンサ E 0 0 0 4 から出力されるパルス信号に基づき、エンコーダスケール E 0 0 0 5 とエンコーダセンサ E 0 0 0 4 との位置関係の変化を検出し、その出力信号をフレキシブルフラットケーブル (CRFC) E 0 0 1 2 を通じてメイン PCB E 0 0 1 4 へと出力する。

【 0 0 5 7 】

さらに、メイン PCB はこの実施形態におけるインクジェット記録装置の各部の駆動制御を司るプリント基板ユニットであり、紙端検出センサ (PE センサ) E 0 0 0 7、ASF センサ E 0 0 0 9、カバーセンサ E 0 0 2 2、パラレルイン

ターフェース（パラレル I/F）E 0 0 1 6、シリアルインターフェース（シリアル I/F）E 0 0 1 7、リジュームキー E 0 0 1 9、LED E 0 0 2 0、電源キー E 0 0 1 8、ブザー E 0 0 2 1 等に対する I/O ポートを基板上に有し、さらに CR モータ E 0 0 0 1、LF モータ E 0 0 0 2、PG モータ E 0 0 0 3 と接続されてこれらの駆動を制御する他、インクエンドセンサ E 0 0 0 6、GAP センサ E 0 0 0 8、PG センサ E 0 0 1 0、CR FFC E 0 0 1 2、電源ユニット E 0 0 1 5 との接続インターフェイスを有する。

【0058】

図 8 は、メイン PCB の内部構成を示すブロック図である。

図において、E 1 0 0 1 は CPU であり、この CPU E 1 0 0 1 は内部にオシレータ OSC E 1 0 0 2 を有すると共に、発振回路 E 1 0 0 5 に接続されてその出力信号 E 1 0 1 9 によりシステムクロックを発生する。また、制御バス E 1 0 1 4 を通じて ROM E 1 0 0 4 および ASIC (Application Specific Integrated Circuit) E 1 0 0 6 に接続され、ROM に格納されたプログラムに従って、ASIC の制御、電源キーからの入力信号 E 1 0 1 7、及びリジュームキーからの入力信号 E 1 0 1 6、カバー検出信号 E 1 0 4 2、ヘッド検出信号 (HSENS) E 1 0 1 3 の状態の検知を行ない、さらにブザー信号 (BUZ) E 1 0 1 8 によりブザー E 0 0 2 1 を駆動し、内蔵される A/D コンバータ E 1 0 0 3 に接続されるインクエンド検出信号 (INKS) E 1 0 1 1 及びサーミスタ温度検出信号 (TH) E 1 0 1 2 の状態の検知を行う一方、その他各種論理演算・条件判断等を行ない、インクジェット記録装置の駆動制御を司る。

【0059】

ここで、ヘッド検出信号 E 1 0 1 3 は、記録ヘッドカートリッジ H 1 0 0 0 からフレキシブルフラットケーブル E 0 0 1 2、キャリッジ基板 E 0 0 1 3 及びコンタクトフレキシブルプリントケーブル E 0 0 1 1 を介して入力されるヘッド搭載検出信号であり、インクエンド検出信号はインクエンドセンサ E 0 0 0 6 から出力されるアナログ信号、サーミスタ温度検出信号 E 1 0 1 2 はキャリッジ基板 E 0 0 1 3 上に設けられたサーミスタ（図示せず）からのアナログ信号である。

【0060】

E1008はCRモータドライバであって、モータ電源（VM）E1040を駆動源とし、ASIC E1006からのCRモータ制御信号E1036に従って、CRモータ駆動信号E1037を生成し、CRモータE0001を駆動する。E1009はLF/PGモータドライバであって、モータ電源E1040を駆動源とし、ASIC E1006からのパルスモータ制御信号（PM制御信号）E1033に従ってLFモータ駆動信号E1035を生成し、これによってLFモータを駆動すると共に、PGモータ駆動信号E1034を生成してPGモータを駆動する。

【0061】

E1010は電源制御回路であり、ASIC E1006からの電源制御信号E1024に従って発光素子を有する各センサ等への電源供給を制御する。パラレルI/F E0016は、ASIC E1006からのパラレルI/F信号E1030を、外部に接続されるパラレルI/FケーブルE1031に伝達し、またパラレルI/FケーブルE1031の信号をASIC E1006に伝達する。シリアルI/F E0017は、ASIC E1006からのシリアルI/F信号E1028を、外部に接続されるシリアルI/FケーブルE1029に伝達し、また同ケーブルE1029からの信号をASIC E1006に伝達する。

【0062】

一方、前記電源ユニットE0015からは、ヘッド電源（VH）E1039及びモータ電源（VM）E1040、ロジック電源（VDD）E1041が供給される。また、ASIC E1006からのヘッド電源ON信号（VHON）E1022及びモータ電源ON信号（VMOM）E1023が電源ユニットE0015に入力され、それぞれヘッド電源E1039及びモータ電源E1040のON/OFFを制御する。電源ユニットE0015から供給されたロジック電源（VDD）E1041は、必要に応じて電圧変換された上で、メインPCB E0014内外の各部へ供給される。

【0063】

またヘッド電源E1039は、メインPCB E0014上で平滑された後にフレキシブルフラットケーブルE0011へと送出され、記録ヘッドカートリッ

ジ H 1 0 0 0 の駆動に用いられる。

【 0 0 6 4 】

E 1 0 0 7 はリセット回路で、ロジック電源電圧 E 1 0 4 0 の低下を検出して、CPU E 1 0 0 1 及び A S I C E 1 0 0 6 にリセット信号 (R E S E T) E 1 0 1 5 を供給し、初期化を行なう。

【 0 0 6 5 】

この A S I C E 1 0 0 6 は 1 チップの半導体集積回路であり、制御バス E 1 0 1 4 を通じて CPU E 1 0 0 1 によって制御され、前述した C R モータ制御信号 E 1 0 3 6、PM 制御信号 E 1 0 3 3、電源制御信号 E 1 0 2 4、ヘッド電源 ON 信号 E 1 0 2 2、及びモータ電源 ON 信号 E 1 0 2 3 等を出力し、パラレル I / F E 0 0 1 6 およびシリアル I / F E 0 0 1 7 との信号の授受を行なう他、PE センサ E 0 0 0 7 からの PE 検出信号 (P E S) E 1 0 2 5、A S F センサ E 0 0 0 9 からの A S F 検出信号 (A S F S) E 1 0 2 6、G A P センサ E 0 0 0 8 からの G A P 検出信号 (G A P S) E 1 0 2 7、P G センサ E 0 0 0 7 からの P G 検出信号 (P G S) E 1 0 3 2 の状態を検知して、その状態を表すデータを制御バス E 1 0 1 4 を通じて CPU E 1 0 0 1 に伝達し、入力されたデータに基づき CPU E 1 0 0 1 は L E D 駆動信号 E 1 0 3 8 の駆動を制御して L E D E 0 0 2 0 の点滅を行なう。

【 0 0 6 6 】

さらに、エンコーダ信号 (E N C) E 1 0 2 0 の状態を検知してタイミング信号を生成し、ヘッド制御信号 E 1 0 2 1 で記録ヘッドカートリッジ H 1 0 0 0 とのインターフェイスをとり記録動作を制御する。ここにおいて、エンコーダ信号 (E N C) E 1 0 2 0 はフレキシブルフラットケーブル E 0 0 1 2 を通じて入力される C R エンコーダセンサ E 0 0 0 4 の出力信号である。また、ヘッド制御信号 E 1 0 2 1 は、フレキシブルフラットケーブル E 0 0 1 2、キャリッジ基板 E 0 0 1 3、及びコンタクト F P C E 0 0 1 1 を経て記録ヘッドカートリッジ H 1 0 0 0 に供給される。

【 0 0 6 7 】

図 9 は、A S I C E 1 0 0 6 の内部構成を示すブロック図である。

【0068】

なお、同図において、各ブロック間の接続については、記録データやモータ制御データ等、ヘッドや各部機構部品の制御にかかわるデータの流れのみを示しており、各ブロックに内蔵されるレジスタの読み書きに係わる制御信号やクロック、DMA制御にかかわる制御信号などは図面上の記載の煩雑化を避けるため省略している。

【0069】

図中、E2002はPLLであり、図9に示すように前記CPU E1001から出力されるクロック信号(CLK)E2031及びPLL制御信号(PLL ON)E2033により、ASIC E1006内の大部分へと供給するクロック(図示しない)を発生する。

【0070】

また、E2001はCPUインターフェース(CPUI/F)であり、リセット信号E1015、CPU E1001から出力されるソフトリセット信号(PDWN)E2032、クロック信号(CLK)E2031及び制御バスE1014からの制御信号により、以下に説明するような各ブロックに対するレジスタ読み書き等の制御や、一部ブロックへのクロックの供給、割り込み信号の受け付け等(いずれも図示しない)を行ない、CPU E1001に対して割り込み信号(INT)E2034を出力し、ASIC E1006内部での割り込みの発生を知らせる。

【0071】

また、E2005はDRAMであり、記録用のデータバッファとして、受信バッファE2010、ワークバッファE2011、プリントバッファE2014、展開用データバッファE2016などの各領域を有すると共に、モータ制御用としてモータ制御バッファE2023を有し、さらにスキャナ動作モード時に使用するバッファとして、上記の各記録用データバッファに代えてスキャナ取込みバッファE2024、スキャナデータバッファE2026、送出バッファE2028などの領域を有する。

【0072】

また、このDRAM E2005は、CPU E1001の動作に必要なワーク領域としても使用されている。すなわち、E2004はDRAM制御部であり、制御バスによるCPU E1001からDRAM E2005へのアクセスと、後述するDMA制御部E2003からDRAM E2005へのアクセスとを切り替えて、DRAM E2005への読み書き動作を行なう。

【0073】

DMA制御部E2003では、各ブロックからのリクエスト（図示せず）を受け付けて、アドレス信号や制御信号（図示せず）、書込み動作の場合には書込みデータ（E2038、E2041、E2044、E2053、E2055、E2057）などをRAM制御部に出力してDRAMアクセスを行なう。また読み出しの場合には、DRAM制御部E2004からの読み出しデータ（E2040、E2043、E2045、E2051、E2054、E2056、E2058、E2059）を、リクエスト元のブロックに受け渡す。

【0074】

また、E2006は1284I/Fであり、CPUI/F E2001を介したCPU E1001の制御により、パラレルI/F E0016を通じて、図示しない外部ホスト機器との双方向通信インターフェイスを行なう他、記録時にはパラレルI/F E0016からの受信データ（PIF受信データE2036）をDMA処理によって受信制御部E2008へと受け渡し、スキャナ読み取り時にはDRAM E2005内の送出バッファE2028に格納されたデータ（1284送信データ（RDPIF）E2059）をDMA処理によりパラレルI/Fに送信する。

【0075】

E2007はUSBI/Fであり、CPUI/F E2001を介したCPU E1001の制御により、シリアルI/F E0017を通じて、図示しない外部ホスト機器との双方向通信インターフェイスを行なう他、記録時にはシリアルI/F E0017からの受信データ（USB受信データE2037）をDMA処理により受信制御部E2008に受け渡し、スキャナ読み取り時にはDRAM E2005内の送出バッファE2028に格納されたデータ（USB送信デ

ータ (RDUSB) E2058) をDMA処理によりシリアルI/F E0017に送信する。受信制御部E2008は、1284I/F E2006もしくはUSBI/F E2007のうちの選択されたI/Fからの受信データ (WDIF) E2038) を、受信バッファ制御部E2039の管理する受信バッファ書込みアドレスに、書込む。

E2009は圧縮・伸長DMAであり、CPU I/F E2001を介したCPU E1001の制御により、受信バッファE2010上に格納された受信データ (ラスタデータ) を、受信バッファ制御部E2039の管理する受信バッファ読み出しアドレスから読み出し、そのデータ (RDWK) E2040を指定されたモードに従って圧縮・伸長し、記録コード列 (WDWK) E2041としてワークバッファ領域に書込む。

【0076】

E2013は記録バッファ転送DMAで、CPU I/F E2001を介したCPU E1007の制御によってワークバッファE2011上の記録コード (RDWP) E2043を読み出し、各記録コードを、記録ヘッドカートリッジH1000へのデータ転送順序に適するようなプリントバッファE2014上のアドレスに並べ替えて転送 (WDWP E2044) する。また、E2012はワーククリアDMAであり、CPU I/F E2001を介したCPU E1001の制御によって記録バッファ転送DMA E2015による転送が完了したワークバッファ上の領域に対し、指定したワークフィルデータ (WDWF) E2042を繰返し書込み転送する。

【0077】

E2015は記録データ展開DMAであり、CPU I/F E2001を介したCPU E1001の制御により、ヘッド制御部E2018からのデータ展開タイミング信号E2050をトリガとして、プリントバッファ上に並べ替えて書込まれた記録コードと展開用データバッファE2016上に書込まれた展開用データとを読み出し、展開記録データ (RDHDG) E2045を生成し、これをカラムバッファ書込みデータ (WDHDG) E2047としてカラムバッファE2017に書込む。ここで、カラムバッファE2017は、記録ヘッドカートリ

ッジH1000へと転送データ（展開記録データ）とを一時的に格納するSRAMであり、記録データ展開DMAとヘッド制御部とのハンドシェーク信号（図示せず）によって両ブロックにより共有管理されている。

【0078】

E2018はヘッド制御部で、CPUI/F E2001を介したCPU E1001の制御により、ヘッド制御信号を介して記録ヘッドカートリッジH1000またはスキヤナとのインターフェイスを行なう他、E2019エンコーダ信号処理部E2019からのヘッド駆動タイミング信号E2049に基づき、記録データ展開DMAに対してデータ展開タイミング信号E2050の出力を行なう。

【0079】

また、記録時には、前記ヘッド駆動タイミング信号E2049に従って、コラムバッファから展開記録データ（RDHD）E2048を読み出し、そのデータをヘッド制御信号E1021を通じて記録ヘッドカートリッジH1000に出力する。

また、スキヤナ読み取りモードにおいては、ヘッド制御信号E1021を通して入力された取込みデータ（WDHD）E2053をDRAM E2005上のスキヤナ取込みバッファE2024へとDMA転送する。E2025はスキヤナデータ処理DMAであり、CPUI/F E2001を介したCPU E1001の制御により、スキヤナ取込みバッファE2024に蓄えられた取込みバッファ読み出しデータ（RDAV）E2054を読み出し、平均化等の処理を行なった処理済データ（WDAV）E2055をDRAM E2005上のスキヤナデータバッファE2026に書込む。

E2027はスキヤナデータ圧縮DMAで、CPUI/F E2001を介したCPU E1001の制御により、スキヤナデータバッファE2026上の処理済データ（RDYC）E2056を読み出してデータ圧縮を行ない、圧縮データ（WDYC）E2057を送出バッファE2028に書込む。

【0080】

E2019はエンコーダ信号処理部であり、エンコーダ信号（ENC）を受け

て、CPU E 1 0 0 1 の制御で定められたモードに従ってヘッド駆動タイミング信号 E 2 0 4 9 を出力する他、エンコーダ信号 E 1 0 2 0 から得られるキャリッジ M 4 0 0 1 の位置や速度にかかわる情報をレジスタに格納して、CPU E 1 0 0 1 に提供する。CPU E 1 0 0 1 はこの情報に基づき、CRモータ E 0 0 0 1 の制御における各種パラメータを決定する。また、E 2 0 2 0 はCRモータ制御部であり、CPU I / F E 2 0 0 1 を介したCPU E 1 0 0 1 の制御により、CRモータ制御信号 E 1 0 3 6 を出力する。

【 0 0 8 1 】

E 2 0 2 2 はセンサ信号処理部で、PGセンサ E 0 0 1 0 、PEセンサ E 0 0 0 7 、ASFセンサ E 0 0 0 9 、及びGAPセンサ E 0 0 0 8 等から出力される各検出信号を受けて、CPU E 1 0 0 1 の制御で定められたモードに従ってこれらのセンサ情報をCPU E 1 0 0 1 に伝達する他、LF / PGモータ制御部 DMA E 2 0 2 1 に対してセンサ検出信号 E 2 0 5 2 を出力する。

【 0 0 8 2 】

LF / PGモータ制御 DMA E 2 0 2 1 は、CPU I / F E 2 0 0 1 を介したCPU E 1 0 0 1 の制御により、DRAM E 2 0 0 5 上のモータ制御バッファ E 2 0 2 3 からパルスモータ駆動テーブル (RDPM) E 2 0 5 1 を読み出してパルスモータ制御信号 E を出力する他、動作モードによっては前記センサ検出信号を制御のトリガとしてパルスモータ制御信号 E 1 0 3 3 を出力する。

また、E 2 0 3 0 はLED制御部であり、CPU I / F E 2 0 0 1 を介したCPU E 1 0 0 1 の制御により、LED駆動信号 E 1 0 3 8 を出力する。さらに、E 2 0 2 9 はポート制御部であり、CPU I / F E 2 0 0 1 を介したCPU E 1 0 0 1 の制御により、ヘッド電源ON信号 E 1 0 2 2 、モータ電源ON信号 E 1 0 2 3 、及び電源制御信号 E 1 0 2 4 を出力する。

【 0 0 8 3 】

次に、上記のように構成された本発明の実施形態におけるインクジェット記録装置の動作を図 1 0 のフローチャートに基づき説明する。

【 0 0 8 4 】

AC電源に本装置が接続されると、まず、ステップ S 1 では装置の第 1 の初期

化処理を行なう。この初期化処理では、本装置のROMおよびRAMのチェックなどの電気回路系のチェックを行ない、電氣的に本装置が正常に動作可能であるかを確認する。

【0085】

次にステップS2では、装置本体M1000の上ケースM1002に設けられた電源キーE0018がONされたかどうかの判断を行い、電源キーE0018が押された場合には、次のステップS3へと移行し、ここで第2の初期化処理を行う。

【0086】

この第2の初期化処理では、本装置の各種駆動機構及びヘッド系のチェックを行なう。すなわち、各種モータの初期化やヘッド情報の読み込みを行うに際し、本装置が正常に動作可能であるかを確認する。

【0087】

次にステップS4ではイベント待ちを行なう。すなわち、本装置に対して、外部I/Fからの指令イベント、ユーザ操作によるパネルキーイベントおよび内部的な制御イベントなどを監視し、これらのイベントが発生すると当該イベントに対応した処理を実行する。

【0088】

例えば、ステップS4で外部I/Fからの記録指令イベントを受信した場合には、ステップS5へと移行し、同ステップでユーザ操作による電源キーイベントが発生した場合にはステップS10へと移行し、同ステップでその他のイベントが発生した場合にはステップS11へと移行する。

ここで、ステップS5では、外部I/Fからの記録指令を解析し、指定された紙種別、用紙サイズ、記録品位、給紙方法などを判断し、その判断結果を表すデータを本装置内のRAM E2005に記憶し、ステップS6へと進む。

次いでステップS6ではステップS5で指定された給紙方法により給紙を開始し、用紙を記録開始位置まで送り、ステップS7に進む。

ステップS7では記録動作を行なう。この記録動作では、外部I/Fから送出されてきた記録データを、一旦記録バッファに格納し、次いでCRモータE00

01を駆動してキャリッジM4001の走査方向への移動を開始すると共に、プリントバッファE2014に格納されている記録データを記録ヘッドカートリッジH1000へと供給して1行の記録を行ない、1行分の記録データの記録動作が終了するとLFモータE0002を駆動し、LFローラM3001を回転させて用紙を副走査方向へと送る。この後、上記動作を繰り返し実行し、外部I/Fからの1ページ分の記録データの記録が終了すると、ステップ8へと進む。

【0089】

ステップS8では、LFモータE0002を駆動し、排紙ローラM2003を駆動し、用紙が完全に本装置から送り出されたと判断されるまで紙送りを繰り返し、終了した時点で用紙は排紙トレイM1004a上に完全に排紙された状態となる。

【0090】

次にステップS9では、記録すべき全ページの記録動作が終了したか否かを判定し、記録すべきページが残存する場合には、ステップS5へと復帰し、以下、前述のステップS5～S9までの動作を繰り返し、記録すべき全てのページの記録動作が終了した時点で記録動作は終了し、その後ステップS4へと移行し、次のイベントを待つ。

【0091】

一方、ステップS10ではプリンタ終了処理を行ない、本装置の動作を停止させる。つまり、各種モータやヘッドなどの電源を切断するために、電源を切断可能な状態に移行した後、電源を切断しステップS4に進み、次のイベントを待つ。

【0092】

また、ステップS11では、上記以外の他のイベント処理を行なう。例えば、本装置の各種パネルキーや外部I/Fからの回復指令や内部的に発生する回復イベントなどに対応した処理を行なう。なお、処理終了後にはステップS4に進み、次のイベントを待つ。

【0093】

以下、上記のような記録装置に搭載する記録ヘッドH1001について説明す

る。

【0094】

〔第1の実施形態〕

図11は、本発明に係る記録ヘッドH1001の第1の実施形態の回路構成を説明するブロック図であり、H1100はヒータ及び駆動回路を半導体プロセス技術により一体的に形成した記録素子基板、102は基板裏面よりインクを供給するためのインク供給口、101はヒータ及びドライバ回路を複数個配列したドライバ／ヒータアレイ、103は記録すべき記録データを一時的に保持するためのシフトレジスタ、107はドライバ／ヒータアレイ中の所望のヒータブロックを選択して駆動するためのデコーダ回路、104はシフトレジスタ及びデコーダにデジタル信号を入力するためのバッファを含む入力回路、110は入力端子、121は基板の温度を検知し、その情報をデジタル信号に変換して出力する温度検知ブロック、122は基板固有の情報、例えばヒータ抵抗値やドライバトランジスタのON抵抗値などをランク分けし、その情報を同じ基板上に配置された不図示の不揮発性メモリ（ROM）に書き込み、必要に応じて読み出しを行なうためのROM情報読出しブロック、123はROMに書き込む固有情報、ヒータ抵抗値やトランジスタのON抵抗値を測定するためのランク分け素子、130は温度検知ブロック121に供給するアナログ系電源（ V_{ddA} ）を発生する電圧発生回路である。

【0095】

本実施形態の記録ヘッドの記録素子基板H1100に設けられた回路構成において、デジタル回路部分の電源電圧（ V_{dd} ）は3.3Vであり、アナログ回路部分の電源電圧（ V_{ddA} ）は5Vである。外部から供給されるのはデジタル系の電源電圧（ V_{dd} ）のみであり、アナログ系の電源電圧（ V_{ddA} ）は電圧発生回路130によってヒータ駆動用電源電圧（ V_H ）から生成される。

【0096】

図12はこの電圧発生回路130の回路構成を詳細に説明するための回路図である。ここで201は電圧 V_H から電圧 V_{ddA} （アナログ系電源）を作るための分割抵抗、202はバッファとなるソースフォロワを構成するNMOSトラン

ジスタ、203はソースフォロワの負荷抵抗である。

【0097】

この回路構成によりV_H電圧はまず抵抗分割201の比により下げられ、その後ソースフォロワ202によってインピーダンス変換されてV_{ddA}端子から出力される。このときソースフォロワ202のゲートーソース間ではV_{th}電圧分だけさらに電圧が下がる。

【0098】

具体的な例を挙げると、V_H=1.1V、ソースフォロワ202のV_{th}をバックゲート効果を考慮して2Vとした場合、分割抵抗201の比を4:7とすることで分割点における電圧を7Vとし、ソースフォロワ202からの出力であるV_{ddA}を5Vに設定することができる。

【0099】

図13は電圧発生回路130の他の回路構成を説明するための回路図である。ここで301はV_H電圧を電源とするOPアンプ、302はOPアンプ301によって構成される非反転増幅器の増幅率を決定するための抵抗である。

【0100】

この回路構成によりロジック系の電源電圧(V_{dd})が非反転増幅器301によって増幅されV_{ddA}電圧となって出力される。

【0101】

具体的な例を挙げると、V_{dd}=3.3Vである場合、非反転増幅器301の増幅率を1.52とするように抵抗302の値を決定することで、出力V_{ddA}の電圧を5Vに設定することができる。

【0102】

以上のように本実施形態によれば、アナログ系の電源電圧とロジック系の電源電圧とが異なる電圧値の場合に、ロジック系の電源電圧のみを外部から供給し、アナログ系の電源電圧を内部で生成することにより、記録ヘッド素子基板に外部から供給する電源の種類を1種類のみとして、システム全体の価格を上昇させずに構成を単純化し、かつ省スペースや省エネ(消費電力)の観点からも有利な構成とできる。

【0103】

[第2の実施形態]

以下、本発明の記録ヘッドの第2の実施形態について説明する。以下においては上記第1の実施形態と同様な部分には同じ符号を付して説明を省略する。

【0104】

図14は本発明の記録ヘッドの第2の実施形態の回路構成を示すブロック図であり、図11に示した上記第1の実施形態とほぼ同様な構成である。上記第1の実施形態と異なり、本実施形態はアナログ系電源電圧発生回路130の出力に外付けされるコンデンサ140を有している。

【0105】

アナログ系電源電圧発生回路130の構成は、上記で図12または図13に示したいずれの場合でも、ヒータ駆動用電源電圧 V_H を基に生成される。この電圧 V_H はヒータの駆動電圧であるため、ヒータに実際に電流が流れる時には大きなノイズが発生しやすい。更に、それ以外のときでもクロック周波数などのノイズの影響を受ける可能性がある。このような電圧 V_H をもとに生成された電圧 V_{ddA} にも同様のノイズが生じ得る。 V_{ddA} にノイズが生じるとアナログ系の回路動作が不安定になったり、誤動作の原因となる可能性がある。

【0106】

本実施形態はこのような現象に対処するために、アナログ系の電源電圧発生回路130の出力を外部に引き出す端子を設け、ここに外付けで V_{ss} (Gnd) 電位との間にコンデンサを挿入している。

【0107】

[他の実施形態]

上述のようなノイズ対策の構成は、クロックパルスの周波数が5MHz以上の場合に特に有効である。

【0108】

尚、上記の実施形態においては、アナログ回路が検知すべき情報として基板温度を例に挙げて説明したが、これに限らず、ヒータ抵抗値、ドライバトランジスタの抵抗値、スイッチングスピードの個体値、インクの残量、保護膜厚などの量

を扱うアナログ回路に対しても同様の効果が期待できることは言うまでもない。

【0109】

なお、以上の実施形態において、記録ヘッドから吐出される液滴はインクであるとして説明し、さらにインクタンクに收容される液体はインクであるとして説明したが、その收容物はインクに限定されるものではない。例えば、記録画像の定着性や耐水性を高めたり、その画像品質を高めたりするために記録媒体に対して吐出される処理液のようなものがインクタンクに收容されていても良い。

【0110】

以上の実施形態は、特にインクジェット記録方式の中でも、インク吐出を行わせるために利用されるエネルギーとして熱エネルギーを発生する手段（例えば電気熱変換体やレーザ光等）を備え、前記熱エネルギーによりインクの状態変化を生起させる方式を用いることにより記録の高密度化、高精細化が達成できる。

【0111】

その代表的な構成や原理については、例えば、米国特許第4723129号明細書、同第4740796号明細書に開示されている基本的な原理を用いて行うものが好ましい。この方式はいわゆるオンデマンド型、コンティニユアス型のいずれにも適用可能であるが、特に、オンデマンド型の場合には、液体（インク）が保持されているシートや液路に対応して配置されている電気熱変換体に、記録情報に対応して核沸騰を越える急激な温度上昇を与える少なくとも1つの駆動信号を印加することによって、電気熱変換体に熱エネルギーを発生せしめ、記録ヘッドの熱作用面に膜沸騰を生じさせて、結果的にこの駆動信号に1対1で対応した液体（インク）内の気泡を形成できるので有効である。

【0112】

この気泡の成長、収縮により吐出用開口を介して液体（インク）を吐出させて、少なくとも1つの滴を形成する。この駆動信号をパルス形状とすると、即時適切に気泡の成長収縮が行われるので、特に応答性に優れた液体（インク）の吐出が達成でき、より好ましい。

【0113】

このパルス形状の駆動信号としては、米国特許第4463359号明細書、同

第 4 3 4 5 2 6 2 号明細書に記載されているようなものが適している。なお、上記熱作用面の温度上昇率に関する発明の米国特許第 4 3 1 3 1 2 4 号明細書に記載されている条件を採用すると、さらに優れた記録を行うことができる。

【 0 1 1 4 】

記録ヘッドの構成としては、上述の各明細書に開示されているような吐出口、液路、電気熱変換体の組み合わせ構成（直線状液流路または直角液流路）の他に熱作用面が屈曲する領域に配置されている構成を開示する米国特許第 4 5 5 8 3 3 3 号明細書、米国特許第 4 4 5 9 6 0 0 号明細書を用いた構成も本発明に含まれるものである。加えて、複数の電気熱変換体に対して、共通するスロットを電気熱変換体の吐出部とする構成を開示する特開昭 5 9 - 1 2 3 6 7 0 号公報や熱エネルギーの圧力波を吸収する開口を吐出部に対応させる構成を開示する特開昭 5 9 - 1 3 8 4 6 1 号公報に基づいた構成としても良い。

【 0 1 1 5 】

さらに、記録装置が記録できる最大記録媒体の幅に対応した長さを有するフルラインタイプの記録ヘッドとしては、上述した明細書に開示されているような複数記録ヘッドの組み合わせによってその長さを満たす構成や、一体的に形成された 1 個の記録ヘッドとしての構成のいずれでもよい。

【 0 1 1 6 】

加えて、上記の実施形態で説明した記録ヘッド自体に一体的にインクタンクが設けられたカートリッジタイプの記録ヘッドのみならず、装置本体に装着されることで、装置本体との電気的な接続や装置本体からのインクの供給が可能になる交換自在のチップタイプの記録ヘッドを用いてもよい。

【 0 1 1 7 】

また、以上説明した記録装置の構成に、記録ヘッドに対する回復手段、予備的な手段等を付加することは記録動作を一層安定にできるので好ましいものである。これらを具体的に挙げれば、記録ヘッドに対してのキャッピング手段、クリーニング手段、加圧あるいは吸引手段、電気熱変換体あるいはこれとは別の加熱素子あるいはこれらの組み合わせによる予備加熱手段などがある。また、記録とは別の吐出を行う予備吐出モードを備えることも安定した記録を行うために有効で

ある。

【0 1 1 8】

さらに、記録装置の記録モードとしては黒色等の主流色のみの記録モードだけでなく、記録ヘッドを一体的に構成するか複数個の組み合わせによってでも良いが、異なる色の複色カラー、または混色によるフルカラーの少なくとも1つを備えた装置とすることもできる。

【0 1 1 9】

以上説明した実施の形態においては、インクが液体であることを前提として説明しているが、室温やそれ以下で固化するインクであっても、室温で軟化もしくは液化するものを用いても良く、あるいはインクジェット方式ではインク自体を30°C以上70°C以下の範囲内で温度調整を行ってインクの粘性を安定吐出範囲にあるように温度制御するものが一般的であるから、使用記録信号付与時にインクが液状をなすものであればよい。

【0 1 2 0】

加えて、積極的に熱エネルギーによる昇温をインクの固形状態から液体状態への状態変化のエネルギーとして使用せしめることで積極的に防止するため、またはインクの蒸発を防止するため、放置状態で固化し加熱によって液化するインクを用いても良い。いずれにしても熱エネルギーの記録信号に応じた付与によってインクが液化し、液状インクが吐出されるものや、記録媒体に到達する時点では既に固化し始めるもの等のような、熱エネルギーの付与によって初めて液化する性質のインクを使用する場合も本発明は適用可能である。

【0 1 2 1】

このような場合インクは、特開昭54-56847号公報あるいは特開昭60-71260号公報に記載されるような、多孔質シート凹部または貫通孔に液状または固形物として保持された状態で、電気熱変換体に対して対向するような形態としてもよい。本発明においては、上述した各インクに対して最も有効なものは、上述した膜沸騰方式を実行するものである。

【0 1 2 2】

なお、本発明は、複数の機器（例えばホストコンピュータ、インタフェイス機

器、リーダ、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。

【 0 1 2 3 】

【発明の効果】

以上説明したように本発明によれば、外部からデジタル回路の電源電圧とアナログ回路の電源電圧との両方を供給する場合と比べて、外部からデジタル回路の電源電圧のみを供給すればよいので、システム全体の価格を上昇させずに構成を単純化し、かつ省スペースや省エネ（消費電力）の観点からも有利な構成とできる。

【図面の簡単な説明】

【図 1】

本発明の実施形態におけるインクジェットプリンタの外観構成を示す斜視図である。

【図 2】

図 1 に示すものの外装部材を取り外した状態を示す斜視図である。

【図 3】

本発明の実施形態に用いる記録ヘッドカートリッジを組立てた状態を示す図である。

【図 4】

図 3 に示す記録ヘッドカートリッジを記録ヘッドとインクタンクとに分離した状態を示す図である。

【図 5】

図 4 に示した記録ヘッドの分解斜視図である。

【図 6】

本発明の実施形態におけるスキナカートリッジを示す斜視図である。

【図 7】

本発明の実施形態における電氣的回路の全体構成を概略的に示すブロック図である。

【図 8】

図 7 に示したメイン PCB の内部構成を示すブロック図である。

【図 9】

図 8 に示した ASIC の内部構成を示すブロック図である。

【図 1 0】

本発明の実施形態の動作を示すフローチャートである。

【図 1 1】

本発明に係る記録ヘッドの第 1 の実施形態の回路構成を示すブロック図である。

【図 1 2】

図 1 1 の電圧発生回路の構成を示す回路図である。

【図 1 3】

図 1 1 の電圧発生回路の他の構成を示す回路図である。

【図 1 4】

本発明に係る記録ヘッドの第 2 の実施形態の回路構成を示すブロック図である。

【図 1 5】

従来の記録ヘッドの回路構成を示すブロック図である。

【図 1 6】

図 1 5 の各部の構成を示す回路図である。

【図 1 7】

図 1 5 の各部での信号の状態を示すタイミングチャートである。

【図 1 8】

図 1 5 の温度検知ブロックの構成を示す回路図である。

【図 1 9】

図 1 8 の温度検知ブロックのタイミングチャートである。

【符号の説明】

1 0 1 ヒータ、ドライバ部

1 0 3 シフトレジスタ

1 2 1 温度検出ブロック

1 4 0 コンデンサ

2 0 2 NMOS トランジスタ

3 0 1 OP アンプ

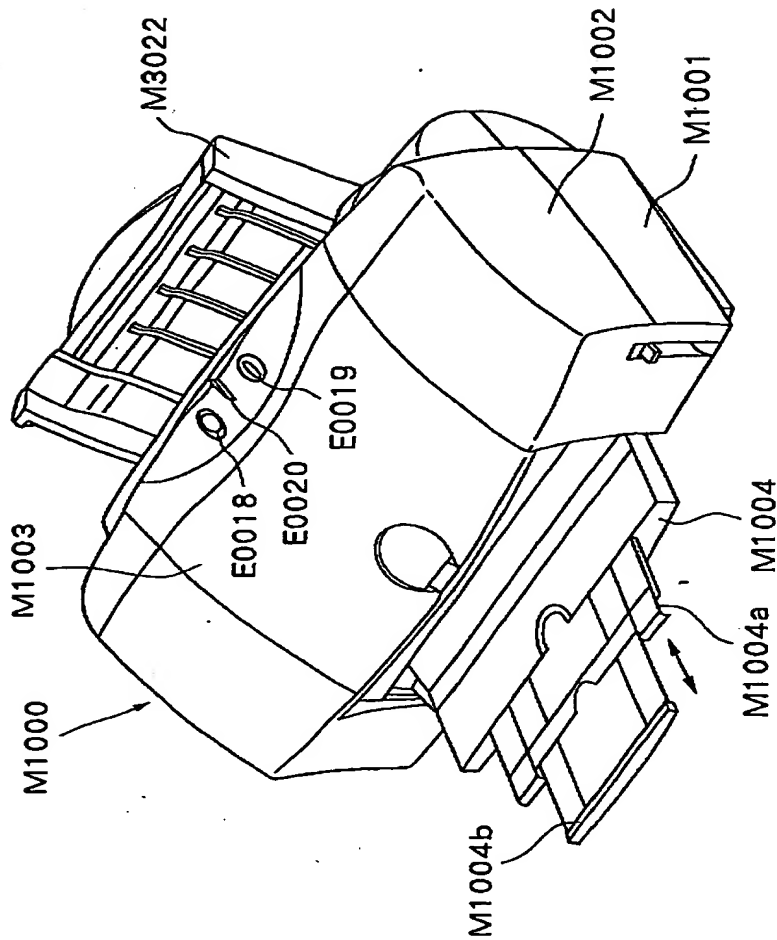
H 1 0 0 0 記録ヘッドカートリッジ

H 1 0 0 1 記録ヘッド

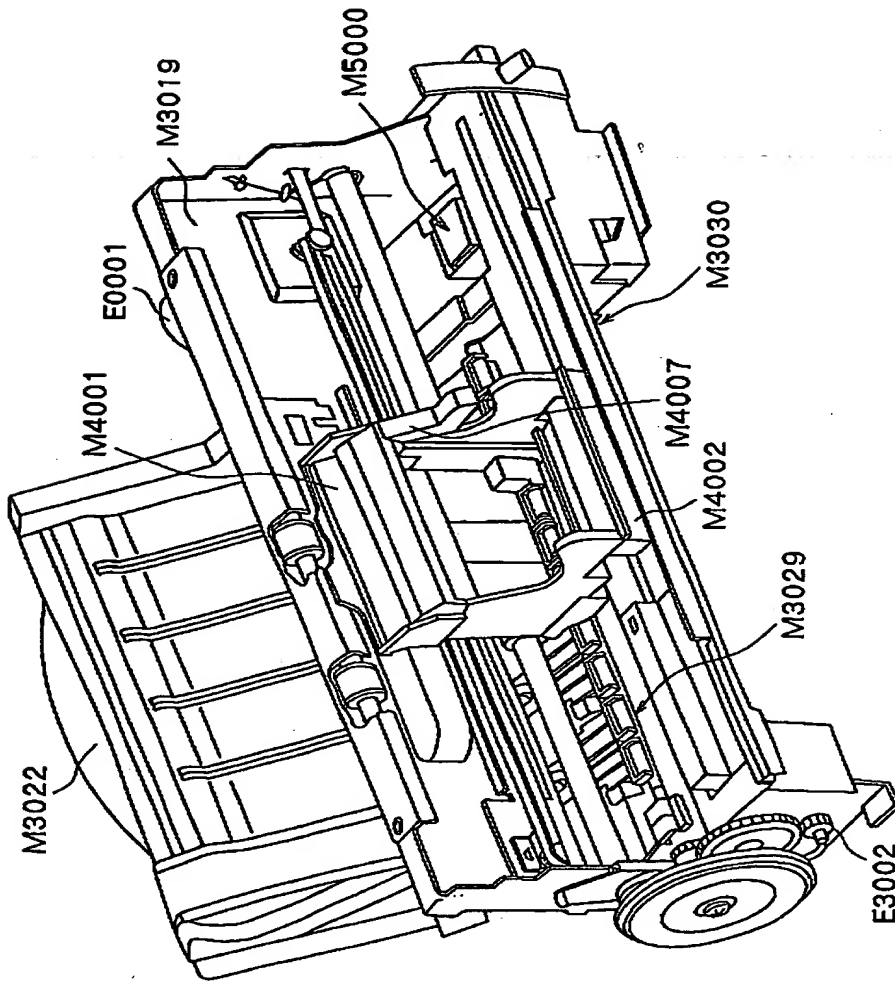
H 1 1 0 0 素子基板

【書類名】 図面

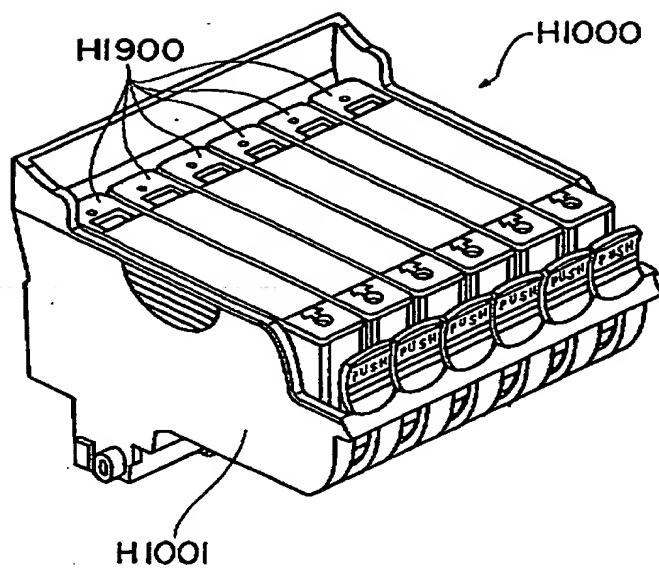
【図 1】



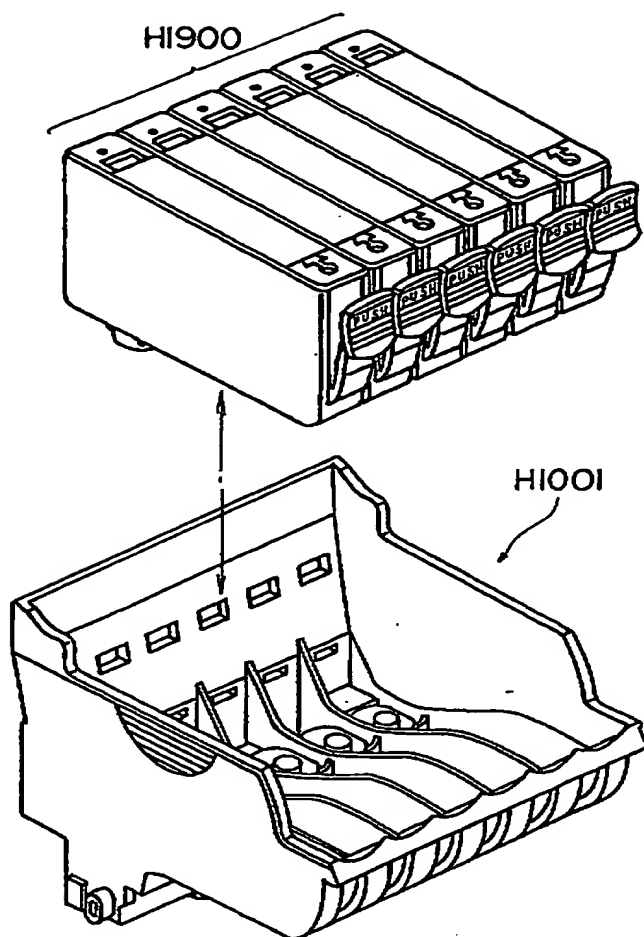
【図 2】



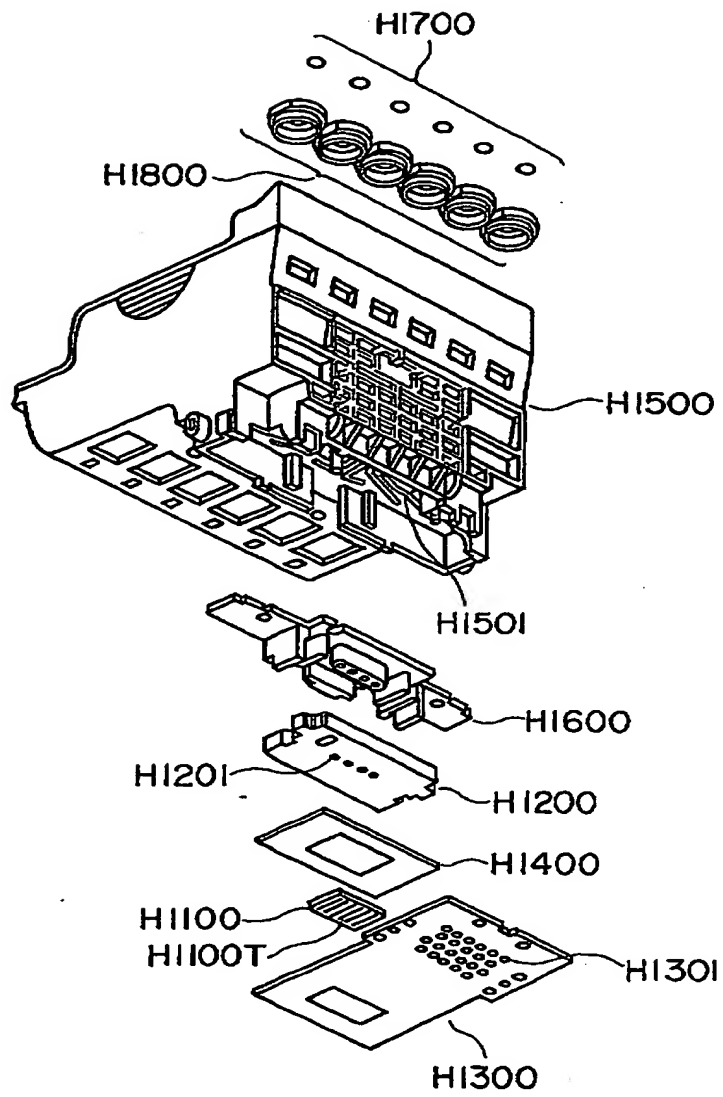
【図 3】



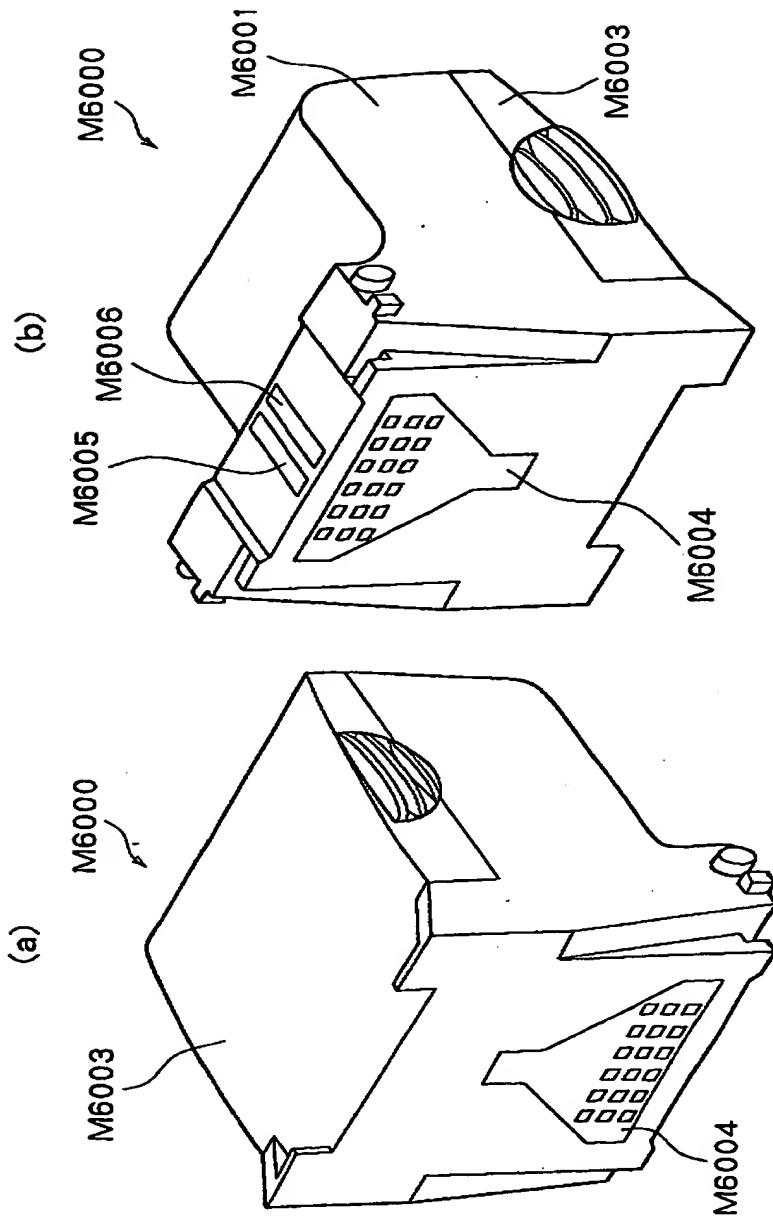
【図 4】



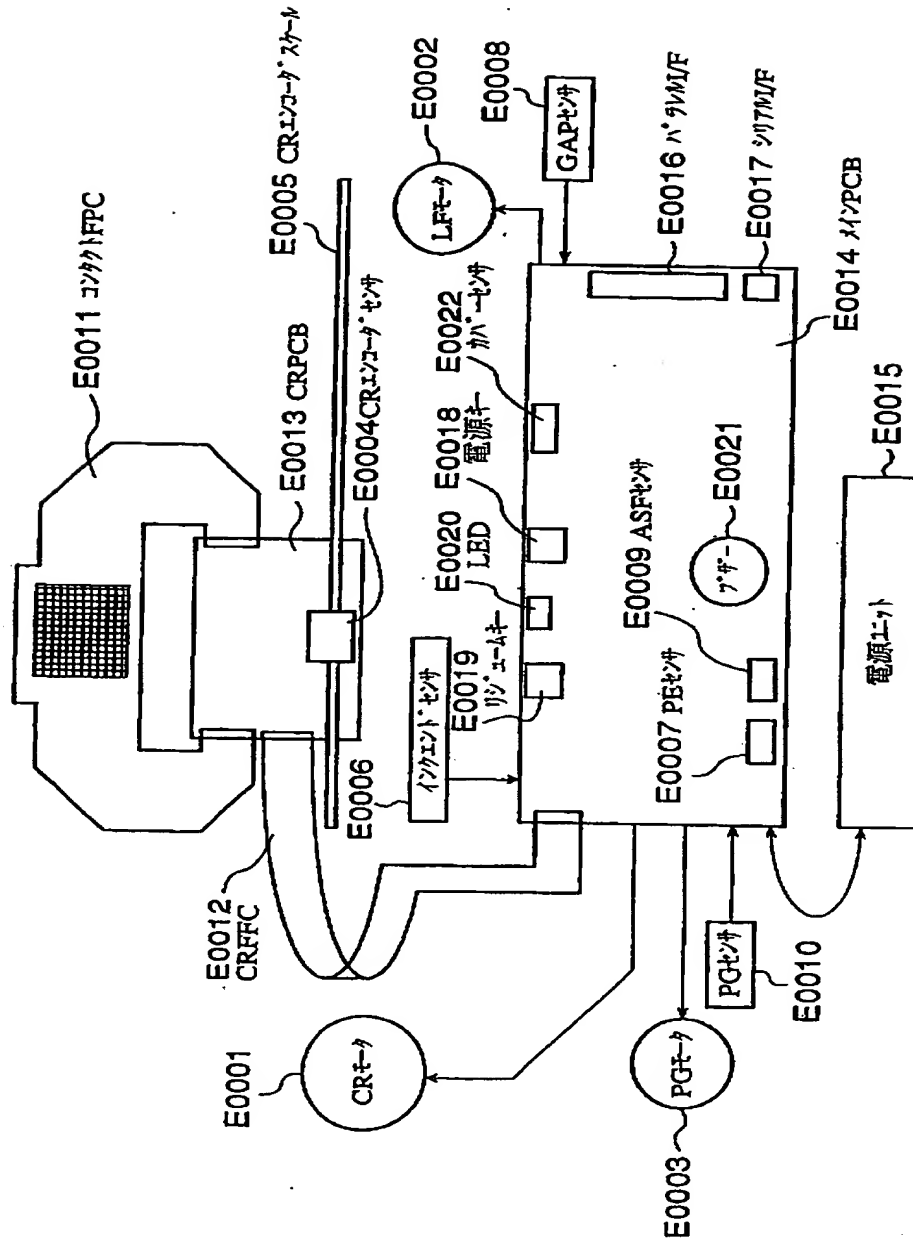
【図 5】



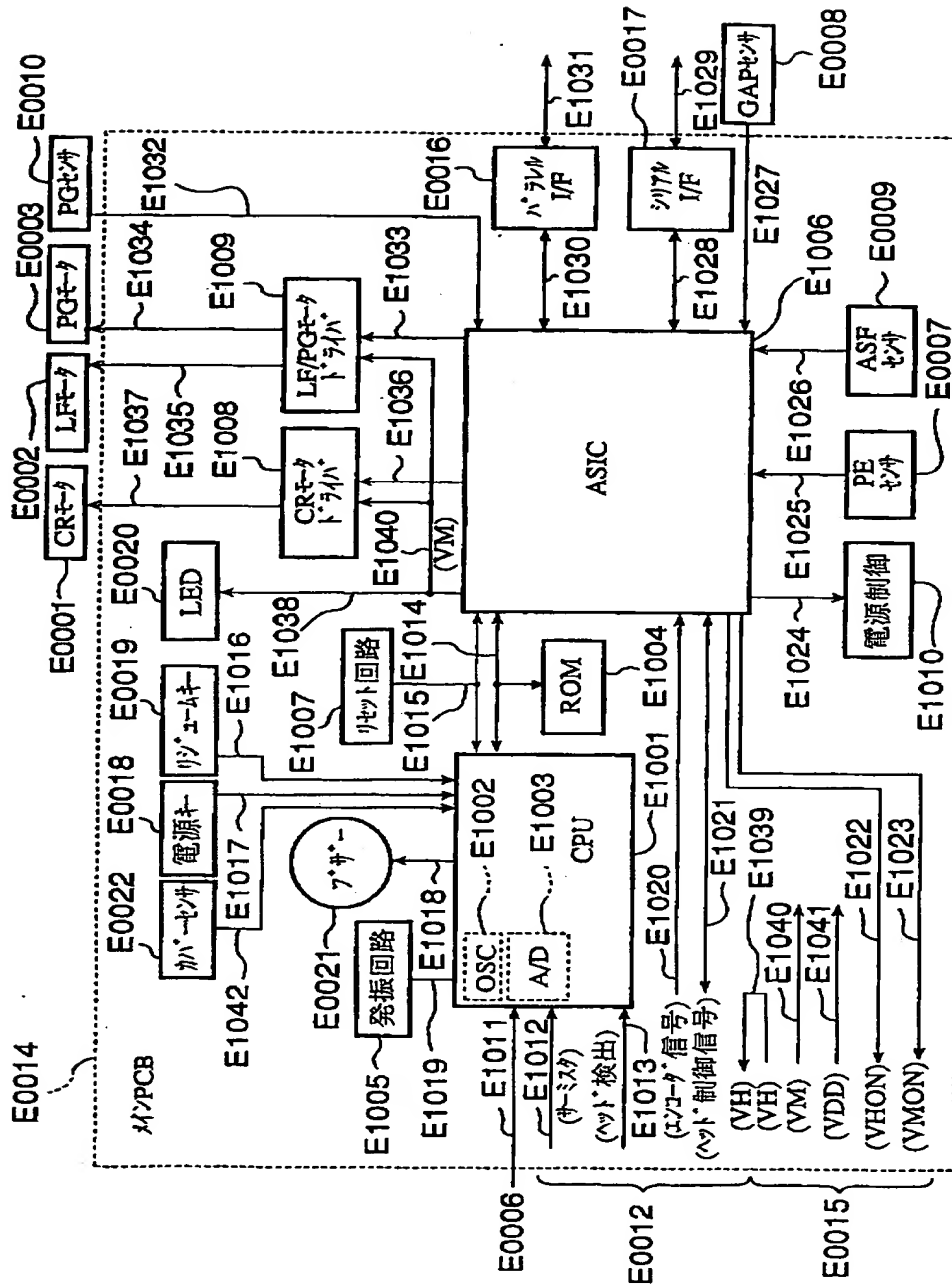
【図 6】



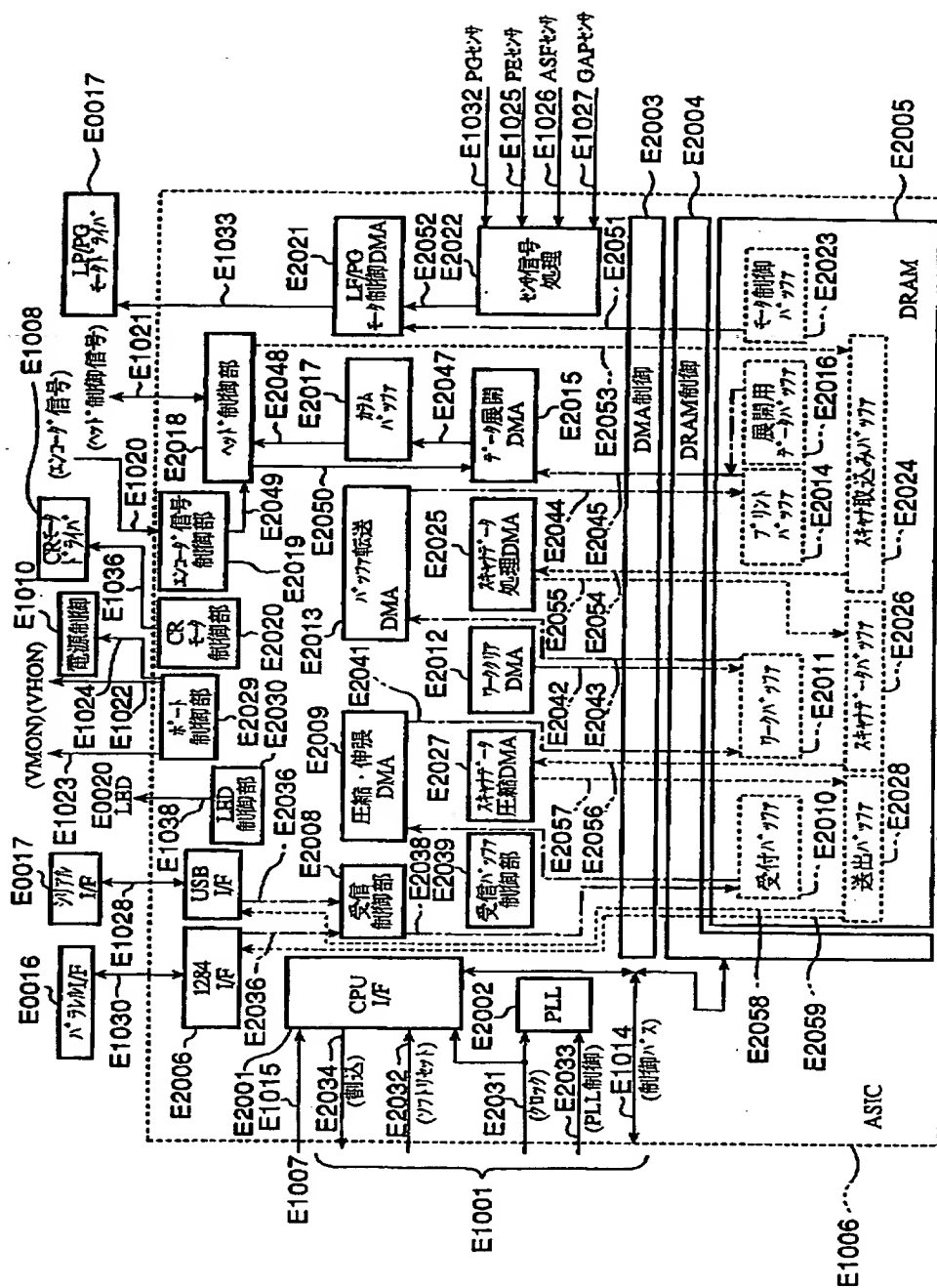
【図 7】



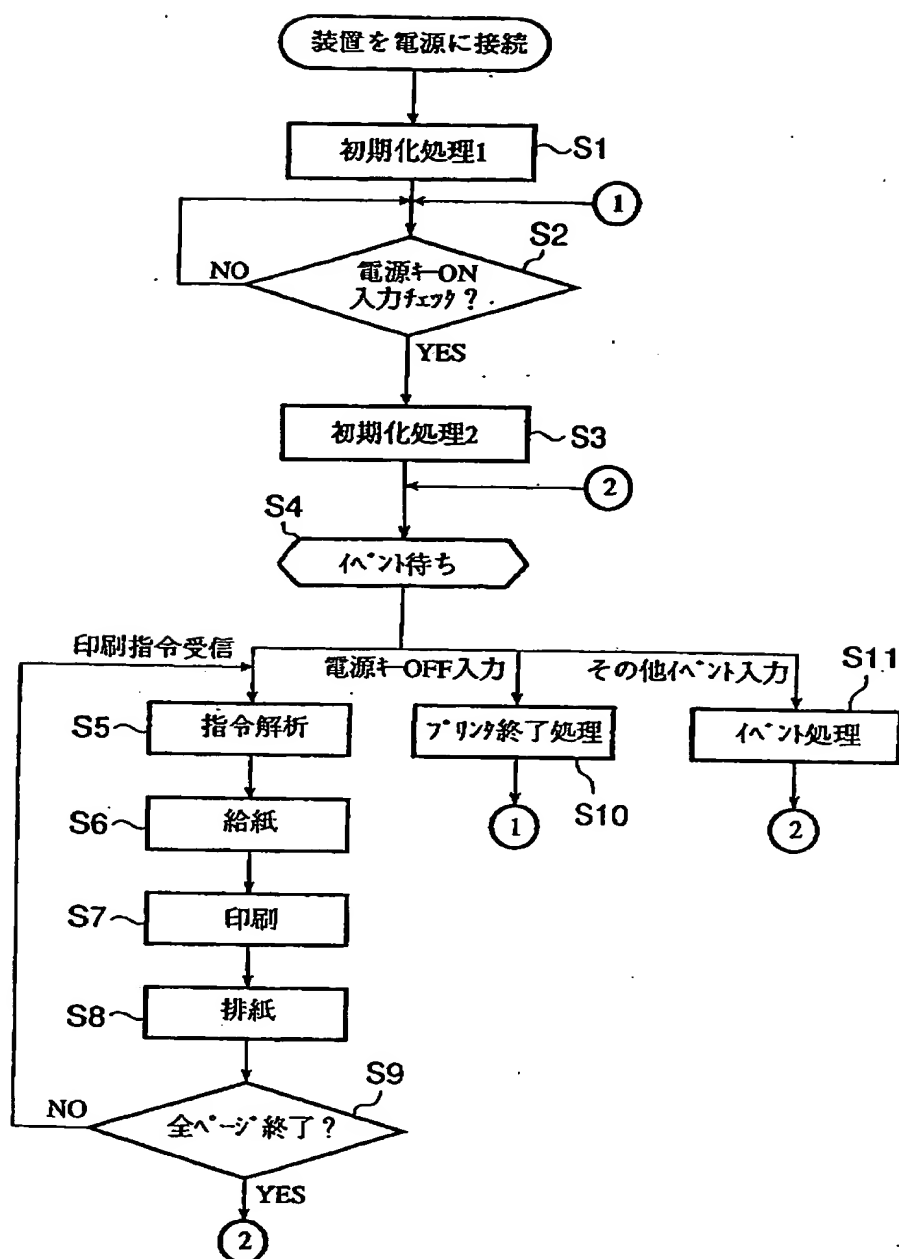
【図 8】



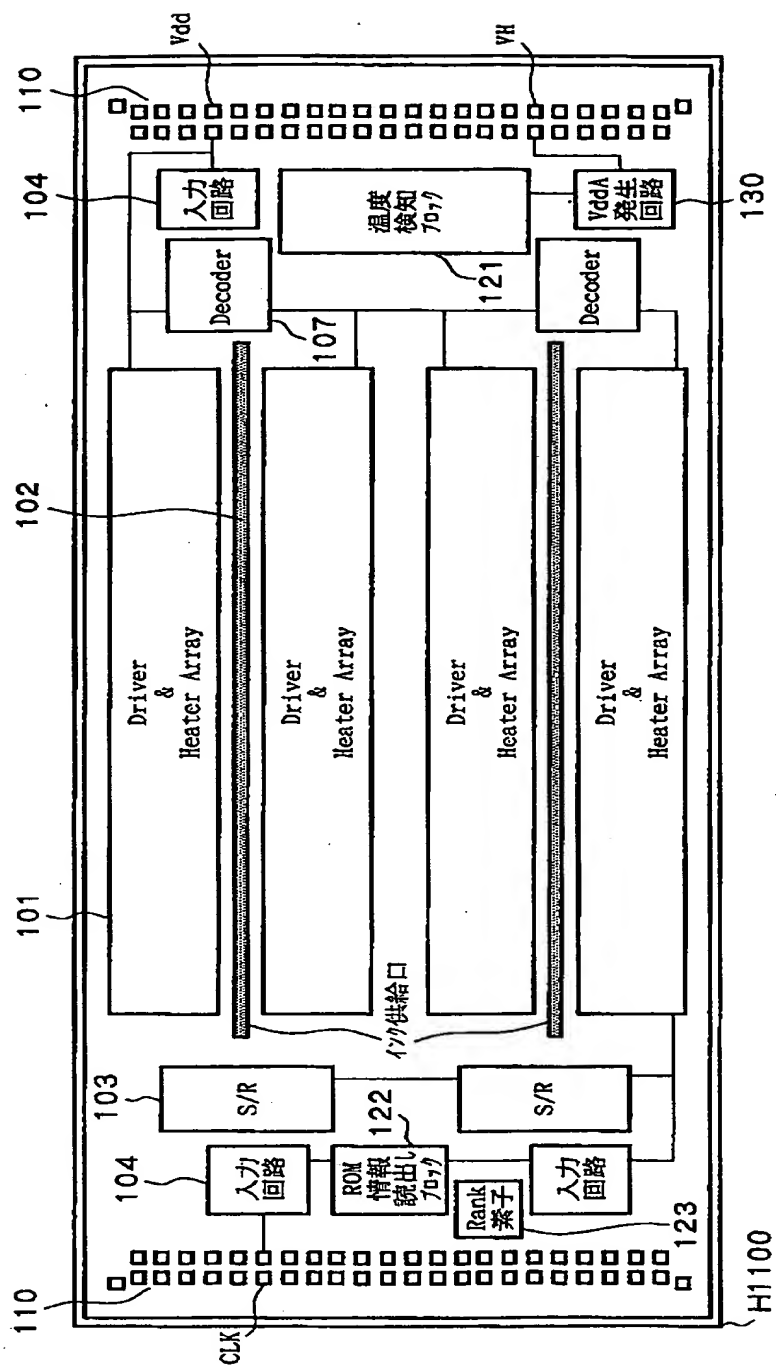
【图9】



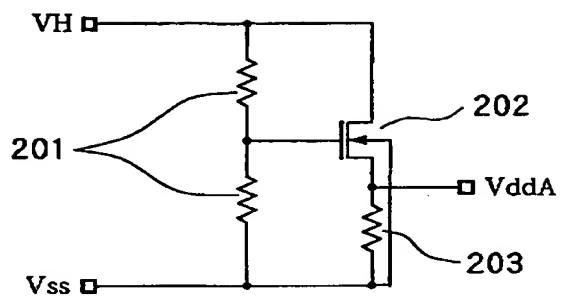
【図10】



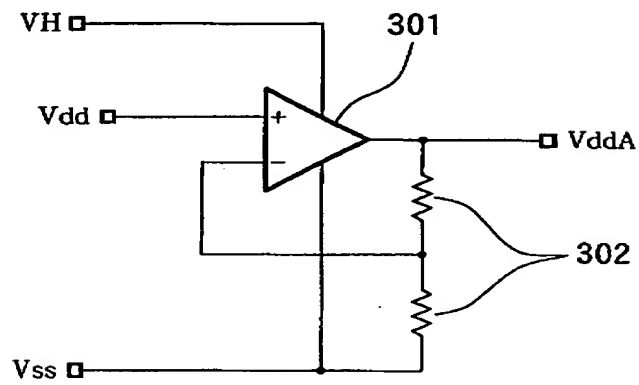
【図 1 1】



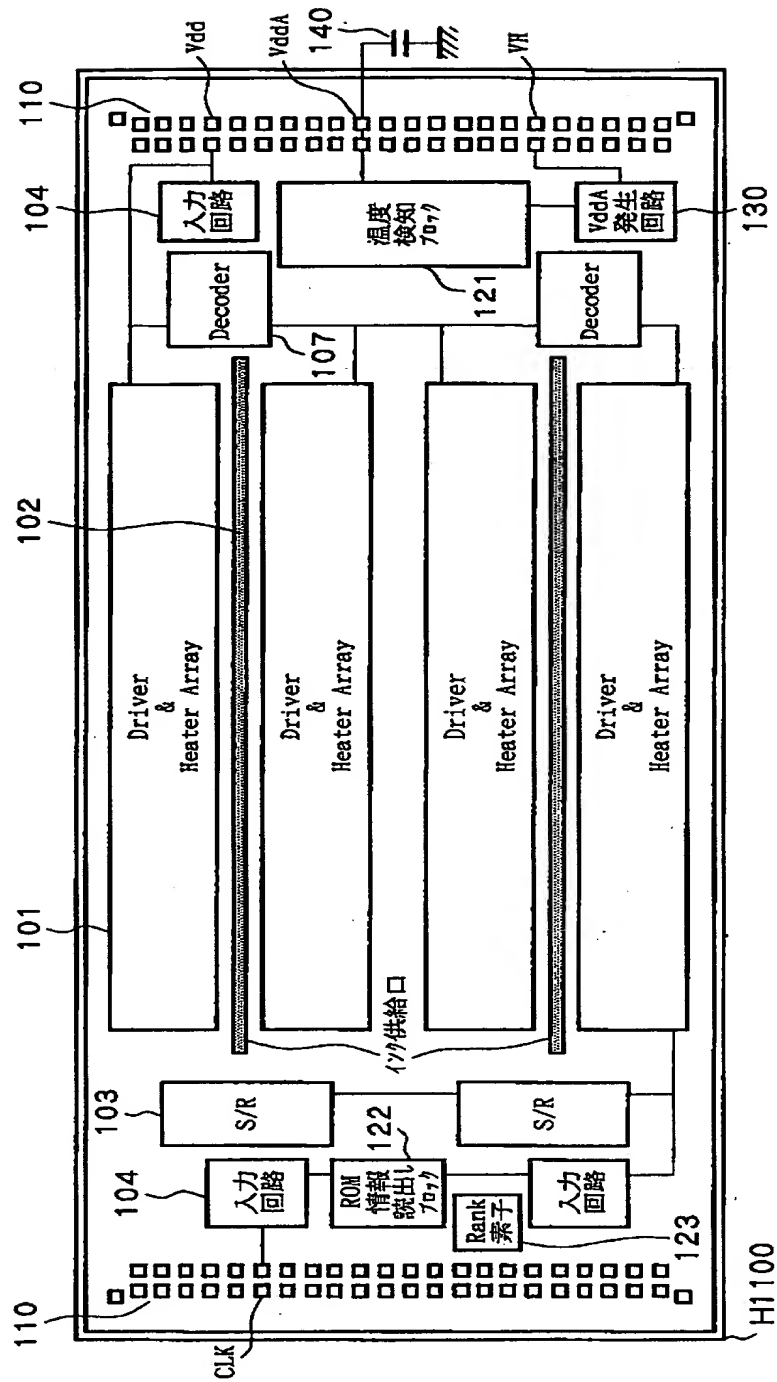
【図 1 2】



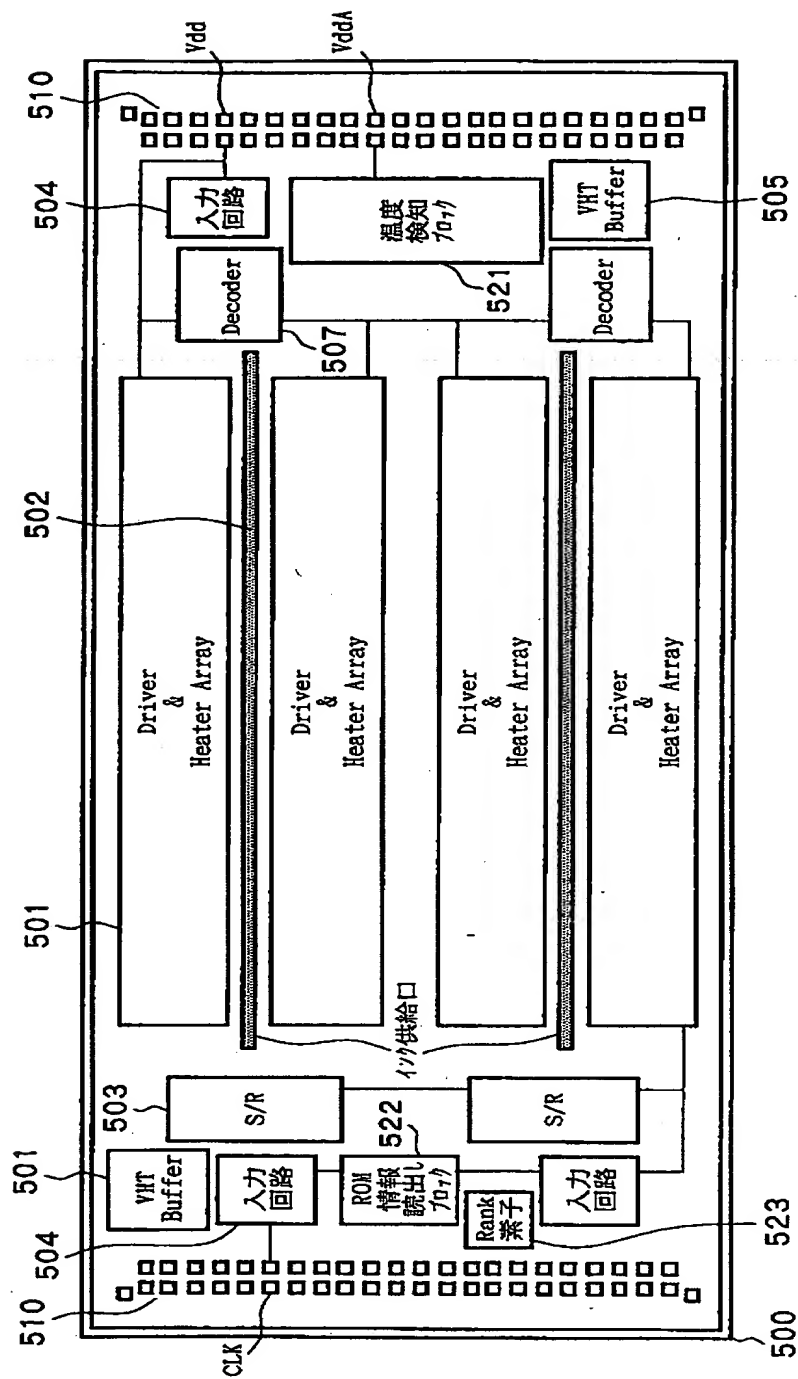
【図 1 3】



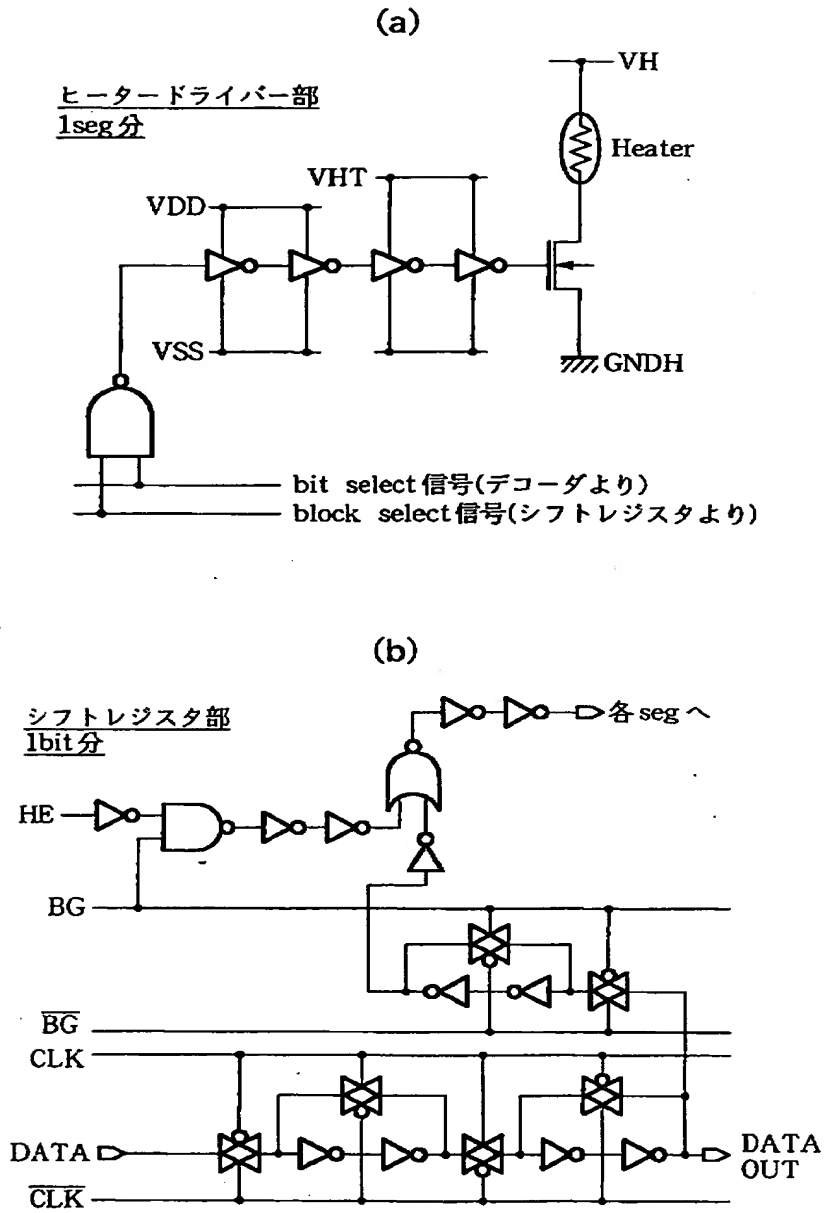
【図14】



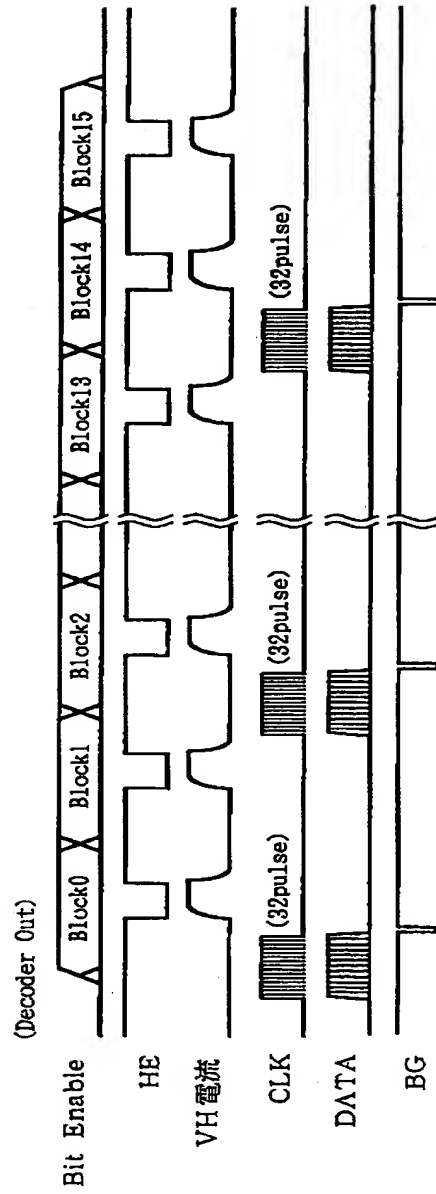
【図15】



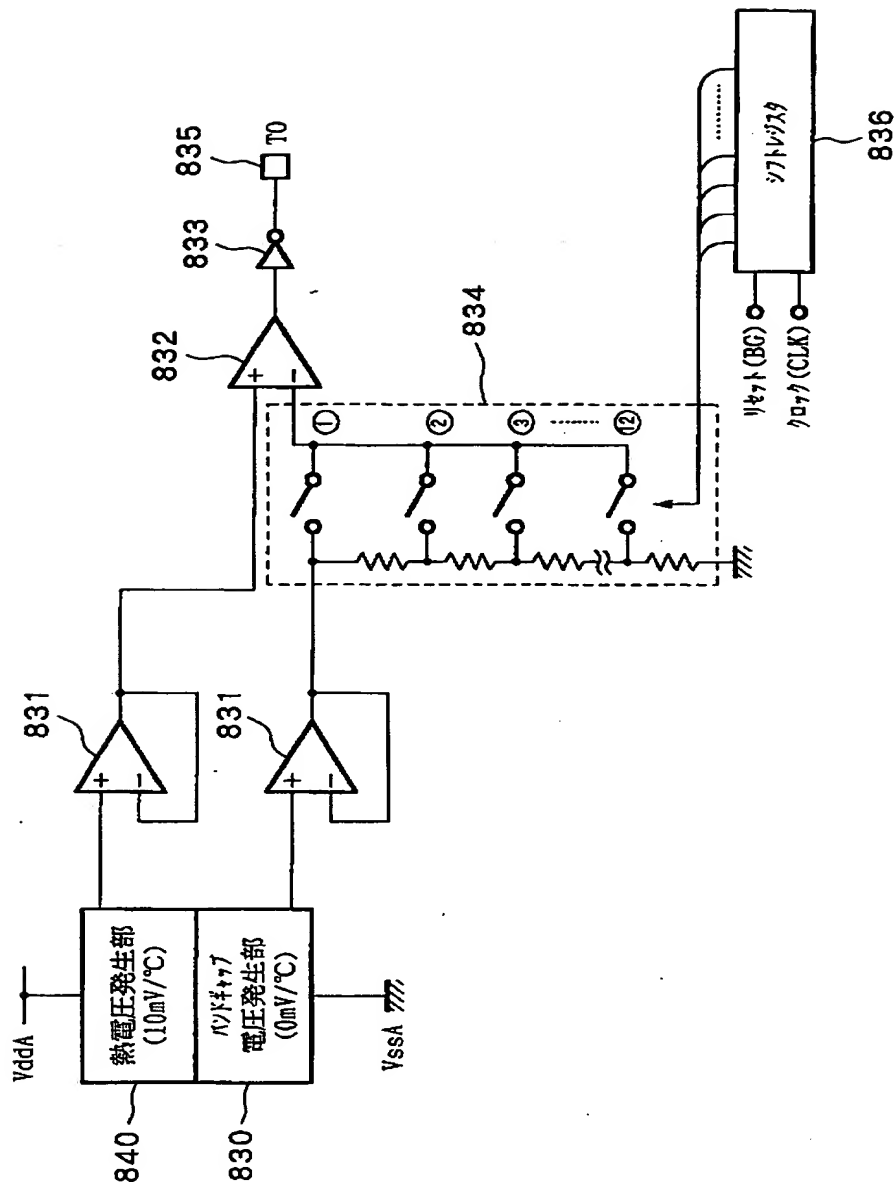
【図 1 6】



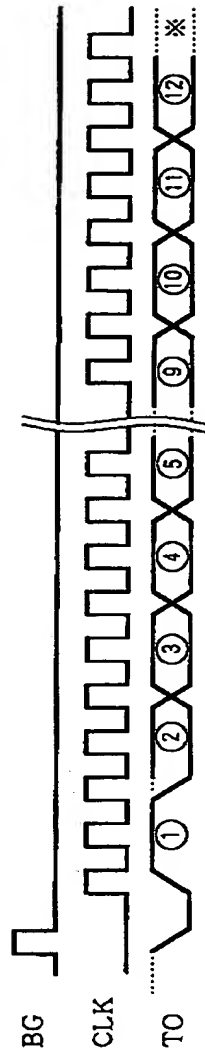
【図 17】



【図 18】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 デジタル回路の電源電圧とアナログ回路の電源電圧とが異なる場合に、外部からデジタル回路の電源電圧のみを供給して全体の構成を簡単にする。

【解決手段】 記録素子および入力された記録データに応じて記録素子を駆動する駆動手段 1 0 1 を含むデジタル回路と、素子基板の状態に関する情報を検知する検知手段 1 2 1 を含むアナログ回路と、が半導体プロセスによって形成された素子基板 H 1 1 0 0 を備えた記録ヘッドにおいて、デジタル回路の電源電圧の値とアナログ回路の電源電圧の値とが異なっている場合に、アナログ回路の電源電圧を生成する電圧発生回路 1 3 0 を素子基板上に設ける。

【選択図】 図 1 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社